

<DIIPM >

MOSFET超小型DIIPMシリーズ アプリケーションノート

PSM**S93E5/-A/-C

DIIPMアプリケーションノート目次

第1章 製品の概要	2
1. 1 MOSFET超小型DIIPM の特長	2
1. 2 搭載機能	2
1. 3 用途	3
1. 4 製品ラインナップ	3
第2章 MOSFET DIIPMのスペック	4
2. 1 MOSFET DIIPMのスペック	4
2. 1. 1 最大定格	4
2. 1. 2 電気的特性 熱抵抗	6
2. 1. 3 電気的特性及び推奨使用条件	7
2. 1. 4 機械的定格及び特性	9
2. 2 保護機能とシーケンス	10
2. 2. 1 短絡保護	10
2. 2. 2 制御電源電圧低下保護	12
2. 2. 3 過熱保護	14
2. 3 MOSFET 超小型DIIPMのパッケージ	15
2. 3. 1 外形図	15
2. 3. 2 マーキング	18
2. 3. 3 端子配列と名称	19
2. 4 MOSFET 超小型DIIPMの取り付け方法	21
2. 4. 1 MOSFET 超小型DIIPMの絶縁距離	21
2. 4. 2 MOSFET 超小型DIIPMの取り付け方法と注意点	21
2. 4. 3 はんだ付け条件	22
第3章 MOSFET 超小型DIIPMの使用方法	23
3. 1 MOSFET 超小型DIIPMの使用方法和応用	23
3. 1. 1 システム接続例	23
3. 1. 2 インタフェース回路例 (直接入力時、1シャント抵抗時)	24
3. 1. 3 インタフェース回路例 (フォトカプラ駆動)	25
3. 1. 4 N側ソース分割仕様(3シャント)動作時の外部SC保護回路例	26
3. 1. 5 DIIPMの信号入力端子とFo端子	26
3. 1. 6 スナバコンデンサの接続	28
3. 1. 7 外部シャント抵抗周辺回路の接続	28
3. 1. 8 PCB設計時の注意点について	30
3. 1. 9 DIIPMの並列動作について	31
3. 1. 10 SOA(スイッチング時、短絡時)	31
3. 1. 11 短絡SOA	32
3. 1. 12 動作寿命について	33
3. 2 損失と放熱設計	34
3. 2. 1 損失計算方法(例)	34
3. 2. 2 温度上昇の考え方と計算例	36
3. 3 ノイズ・静電気耐量	37
3. 3. 1 測定回路	37
3. 3. 2 対策と注意事項	37
3. 3. 3 静電気耐量について	38
第4章 ブートストラップ回路動作	39
4. 1 ブートストラップ回路動作	39
4. 2 ブートストラップ電源回路電流	40
4. 3 ブートストラップ回路定数設定時の注意点	41
4. 4 ブートストラップ回路使用時の初期充電について	42
第5章 その他	43
5. 1 梱包仕様	43
5. 2 取り扱いの注意	44

第1章 製品の概要

1.1 MOSFET超小型DIIPM の特長

MOSFET超小型DIIPMは、パワー素子、及び駆動・保護回路をトランスファーモールド方式により1パッケージに集積した入力電圧AC100V～240Vの小容量モータ制御用インバータに最適なインテリジェントパワーモジュール(IPM)です。パワーチップにMOSFETを搭載していることから、低電流動作時の損失を改善可能であること、及び絶縁放熱シート構造で低熱抵抗でありながら小型外形を実現していることから、特に長時間低電流動作の冷蔵庫などインバータ家電向けに最適な製品です。その主な特長は、以下のとおりです。

- ・MOSFETを搭載し、低電流時の効率を改善。
- ・P側駆動電源用に電流制限抵抗付きブートストラップダイオード(BSD)を搭載し、外付けの抵抗・BSDは不要。
- ・IGBT搭載の超小型DIIPM Ver.5シリーズと同じパッケージ、ピン配置を採用しており、置きかえが容易。

図1-1-1に外観写真、図1-1-2に内部構造断面図を示します。

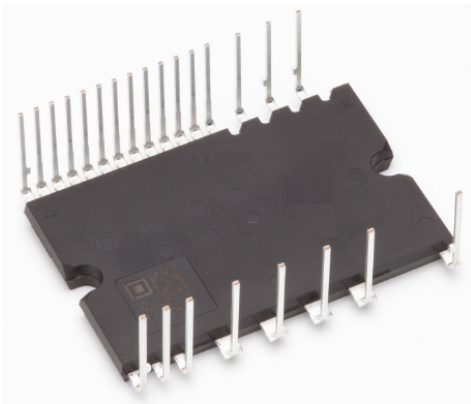


図1-1-1 外観写真(長尺品)

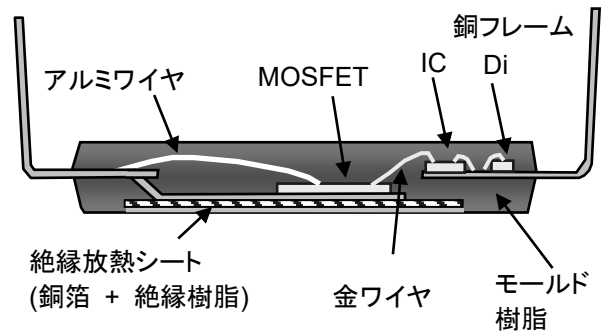


図1-1-2 内部断面構造図

1.2 搭載機能

MOSFET 超小型DIIPMシリーズの主な搭載機能は以下のとおりです。図1-2-1に内部回路図を示します。

- (1) P側用:
駆動回路、高圧レベルシフト回路、
制御電源電圧低下(UV)保護機能(エラー出力無し)
ブートストラップダイオード搭載 (電流制限抵抗内蔵)
- (2) N側用:
駆動回路
短絡(SC)保護機能(DIIPM外部の電流検出抵抗の電圧を検出し、DIIPMへフィードバックして実施)
制御電源電圧低下(UV)保護機能
過熱(OT)保護機能
- (3)エラー出力:
N側MOSFET短絡保護時、N側制御電源電圧低下、過熱保護時出力
- (4)MOSFET駆動電源:
DC15V単一電源 (ブートストラップ方式使用時)
- (5)入力インターフェース:
3V, 5V対応、ハイアクティブ駆動
- (6)UL認証済み UL1557 File E323585

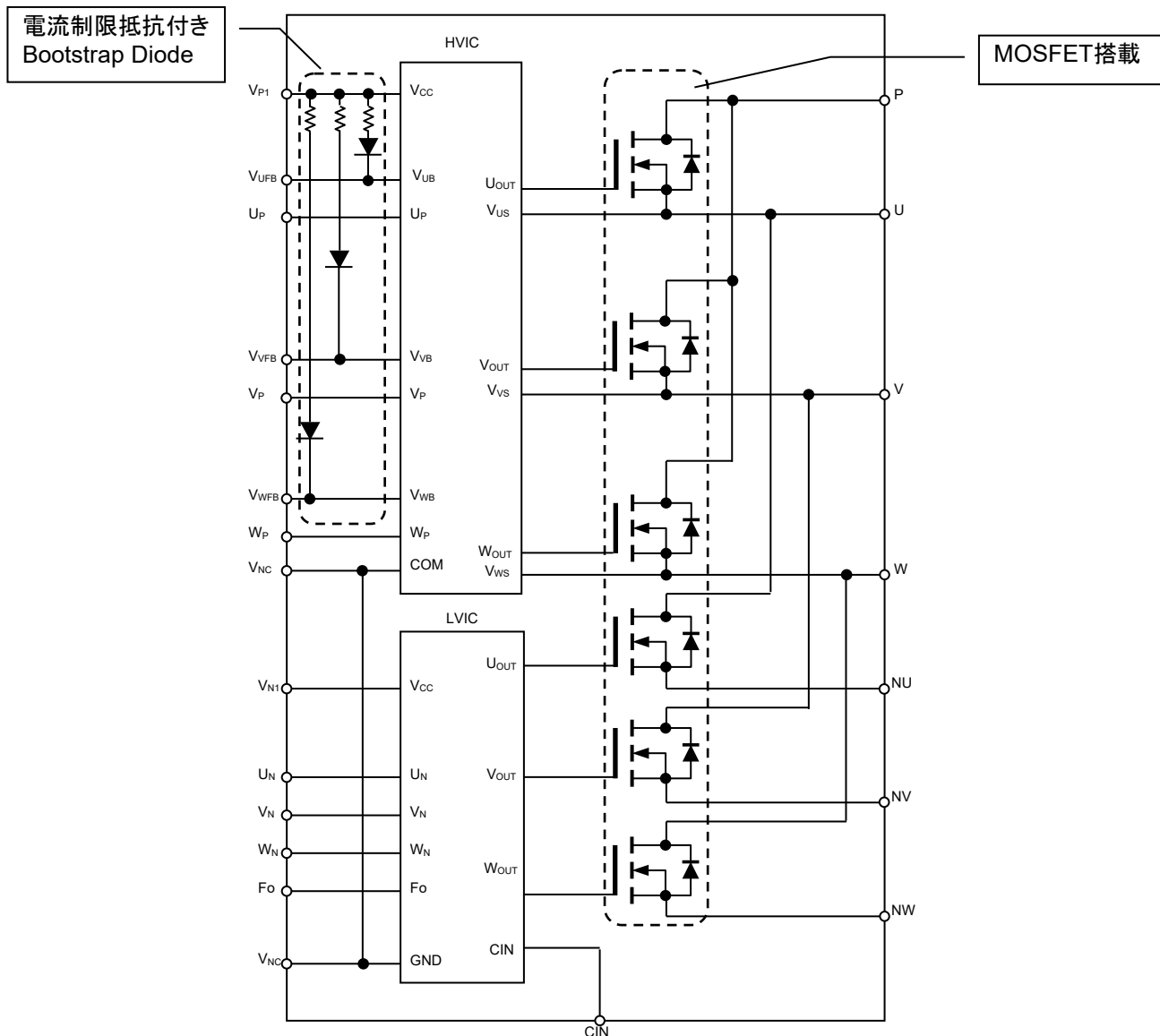


図1-2-1 内部回路図

1.3 用途

白物家電(冷蔵庫など)のモータのインバータ制御用
ファンなど小容量産業用モータ駆動(ただし、車載用途を除く)

1.4 製品ラインナップ

表1-4-1 MOSFET 超小型DIIPM 製品ラインナップ

形名 ^{注1)}	定格	モータ定格 ^{注2)}	絶縁耐電圧Viso
PSM03S93E5/-A/-C	3A/500V	0.2kW/220VAC	AC1500Vrms 正弦波60Hz,1min 全端子共通-放熱ヒートシンク間
PSM05S93E5/-A/-C	5A/500V	0.4kW/220VAC	

注1) 形名の後に追加される"A"は長尺端子仕様、"C"は制御側千鳥端子仕様、"無し"は短尺仕様となります。詳細は外形図等を参照ください。

端子形状のご選択時には、三菱電機販売部門又は、特約店までお問い合わせをお願いいたします。

注2) モータ定格は、計算結果によるものです。実際にはご使用条件により適用可能なモータ容量は異なります。

第2章 MOSFET DIIPMのスペック

2.1 MOSFET DIIPMのスペック

MOSFET DIIPMのスペックを代表例 PSM05S93E5 (5A/500V)で説明します。
他の形名および詳細はデータシートをご参照ください。

2.1.1 最大定格

PSM05S93E5 (5A/500V)の最大定格を、表2-1-1に示します。

表2-1-1 PSM05S93E5 (5A/500V)の最大定格

インバータ部

記号	項目	条件	定格値	単位
V_{DD}	電源電圧	P-NU, NV, NW端子間	400	V ← (1)
$V_{DD(surge)}$	電源電圧(サージ)	P-NU, NV, NW端子間	450	V ← (2)
V_{DSS}	ドレイン・ソース間電圧		500	V ← (3)
$\pm I_D$	ドレイン電流	$T_c = 25^\circ\text{C}$ (注1)	5	A ← (4)
$\pm I_{DP}$	ドレイン電流(ピーク)	$T_c = 25^\circ\text{C}$, 1ms以下	10	A
P_D	ドレイン損失	$T_c = 25^\circ\text{C}$, 1素子当り	35.7	W
T_{ch}	チャネル温度	(注2)	-20~+150	$^\circ\text{C}$ ← (5)

注1. パルス幅及び周期は、チャネル温度により制限されます。

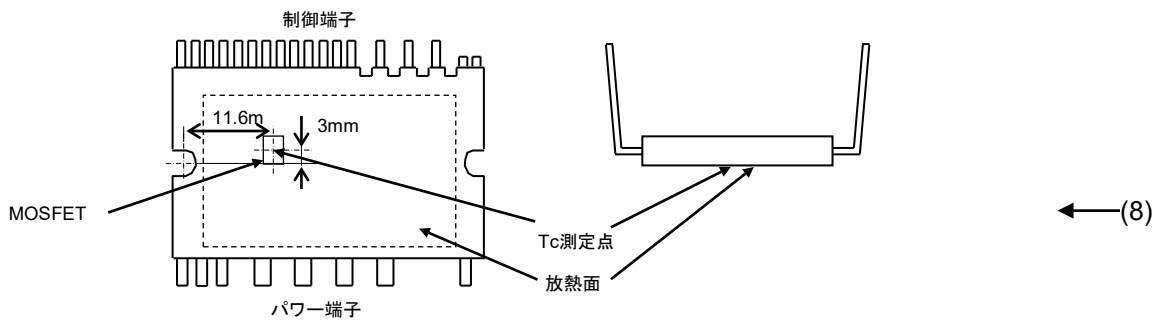
注2. 内蔵パワーチップ自身の最大瞬時チャネル温度は 150°C ($@T_c \leq 100^\circ\text{C}$) ですが、安全動作させるための平均動作チャネル温度は $T_{ch} \leq 125^\circ\text{C}$ ($@T_c \leq 100^\circ\text{C}$)と規定します。

制御(保護)部

記号	項目	条件	定格値	単位
V_D	制御電源電圧	$V_{P1}-V_{NC}$, $V_{N1}-V_{NC}$ 端子間	20	V
V_{DB}	制御電源電圧	$V_{JFB}-U$, $V_{VFB}-V$, $V_{WFB}-W$ 端子間	20	V
V_{IN}	入力電圧	U_P , V_P , W_P , U_N , V_N , W_N-V_{NC} 端子間	$-0.5 \sim V_D + 0.5$	V
V_{FO}	エラー出力印加電圧	F_O-V_{NC} 端子間	$-0.5 \sim V_D + 0.5$	V
I_{FO}	エラー出力電流	F_O 端子のシンク電流値	1	mA
V_{SC}	電流検出入力電圧	$CIN-V_{NC}$ 端子間	$-0.5 \sim V_D + 0.5$	V

全システム

記号	項目	条件	定格値	単位
$V_{DD(PROT)}$	電源電圧自己保護範囲(短絡)	$V_D = 13.5 \sim 16.5\text{V}$, インバータ部 $T_{ch} = 125^\circ\text{C}$ スタート, 2 μs 以内, 非線り返し	400	V ← (6)
T_c	動作モジュール温度	T_c :測定点は下図に規定	-20~+100	$^\circ\text{C}$
T_{stg}	保存温度		-40~+125	$^\circ\text{C}$
V_{iso}	絶縁耐圧	正弦波 60Hz, AC 1分間, 全端子共通-ヒートシンク間	1500	Vrms ← (7)



各項目の説明

- (1) V_{DD} 内蔵MOSFETがスイッチングしていない状態で、P-N端子間に印加できる最大直流電源電圧。この電圧を超えるような場合は、ブレーキ回路等による制限をかける必要があります。
- (2) $V_{DD(surge)}$ 内蔵MOSFETがスイッチングしている状態で、P-N端子間に現れるサージ電圧の最大値。この電圧を超えないように、スナバ回路の接続や母線のインダクタンスの低減が必要です。
- (3) V_{DSS} 内蔵MOSFETのD-S間に印加できる最大電圧定格。
- (4) $\pm I_D$ $T_c = 25^\circ\text{C}$ の条件で、通電可能な電流値です。パルス幅及び周期は、チャネル温度により制限されます。
- (5) T_{ch} $T_c = 100^\circ\text{C}$ において、最大瞬時チャネル温度は 150°C ですが、安全動作させるための平均動作チャネル温度は $T_{ch} \leq 125^\circ\text{C}$ ($@T_c \leq 100^\circ\text{C}$)以内を推奨します。繰り返される温度変化 ΔT_{ch} は、パワーサイクル寿命に影響を与えます。

2. 1. 2 電気的特性 熱抵抗

PSM05S93E5 (5A/500V)の熱抵抗規格を、表2-1-2に示します。

表2-1-2 PSM05S93E5 (5A/500V)の熱抵抗規格
熱抵抗

記号	項目	条件	規格値			単位
			最小	標準	最大	
$R_{th(ch-c)}$	チャンネル・ケース間熱抵抗(注)	1/6 モジュール	-	-	2.8	°C/W

注 DIIPMと放熱ヒートシンクとの接触面には、熱伝導のよいグリースを100~200 μ m程度、均一になるように塗布の上、規定の締め付けトルクにて締め付けることを規定します。(またグリースは使用動作温度範囲内で変質せず、経年変化のないものとします。)

ただし、製品放熱面-ヒートシンク間の熱抵抗は、締め付けた状態におけるグリースの厚さ、グリースの熱伝導率等により異なります。目安として、グリース厚20 μ m、グリースの熱伝導率が1.0W/m \cdot Kの場合の製品放熱面-ヒートシンク間熱抵抗値(1/6モジュール)は0.3°C/Wとなります。

上記規格は、チャンネル-ケース間の定常時の熱抵抗を示しています。MOSFET 超小型DIIPMの熱抵抗は、およそ10秒で飽和し、定常状態になります。飽和前の10秒以下での熱抵抗を過渡熱抵抗と呼び、図2-1-3のようになります。

図2-1-3の過渡熱抵抗 $Z_{th(j-c)}$ の”1”が、上記定常時の熱抵抗値に相当します。

PSM05S93E5のMOSFET部の0.3秒における過渡熱抵抗値は、 $2.8(^{\circ}\text{C}/\text{W}) \times 0.8 = 2.2(^{\circ}\text{C}/\text{W})$ となります。

過渡熱抵抗は、定常的に流れるのではなく短時間(msオーダー)の電流が流れる場合(例えばモータ起動時や短時間のロック時など)の温度上昇を検討する場合に使用します。

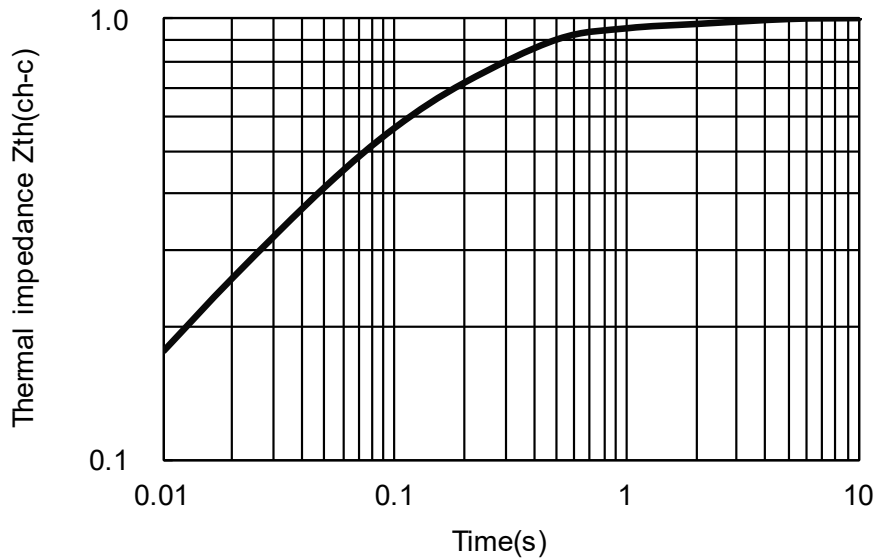


図2-1-3 MOSFET過渡熱抵抗特性(代表例)

2. 1. 3 電気的特性及び推奨使用条件

PSM05S93E5 (5A/500V)の静特性及びスイッチング特性の規格を、表2-1-3に示します。

表2-1-3 PSM05S93E5 (5A/500V)の静特性及びスイッチング特性規格

インバータ部 (指定のない場合は、Tch = 25°C)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
R _{DS(on)}	ドレイン・ソース間オン抵抗	V _D = V _{DB} = 15V, V _{IN} = 5V, I _D = 5A	Tch = 25°C	-	0.60	0.80	Ω
			Tch = 125°C	-	1.30	1.70	
V _{SD}	ソース・ドレイン間ダイオード電圧降下	V _{IN} = 0V, -I _D = 5A	-	0.90	1.30	V	
t _{on}	スイッチング時間	V _{DD} = 300V, V _D = V _{DB} = 15V I _D = 5A, Tch = 125°C, V _{IN} = 0↔5V 誘導負荷(上一下アーム)	-	0.65	1.15	1.65	μs
t _{c(on)}			-	0.35	0.55	μs	
t _{off}			-	1.00	1.50	μs	
t _{c(off)}			-	0.10	0.20	μs	
t _{rr}			-	0.25	-	μs	
I _{DSS}	ドレイン・ソース間遮断電流	V _{DS} = V _{DSS}	Tch = 25°C	-	-	1	mA
			Tch = 125°C	-	-	10	

スイッチング時間の定義、及び測定方法については、図2-1-4、図2-1-5に示します。スイッチングはL負荷(誘導負荷)ハーフブリッジ回路で測定しています。

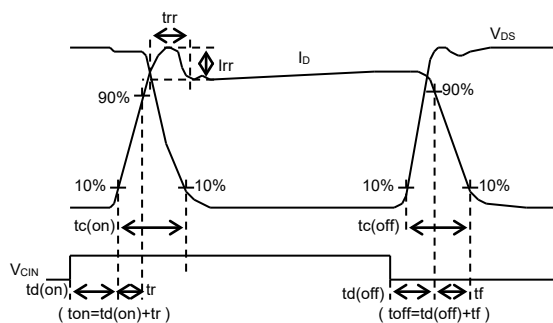


図2-1-4 スwitchング時間の定義

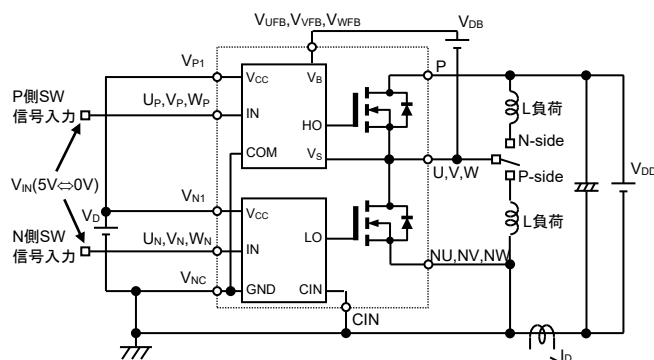


図2-1-5 L負荷ハーフブリッジ測定回路

* : P側スイッチング時はBを接続、N側スイッチング時はAを接続

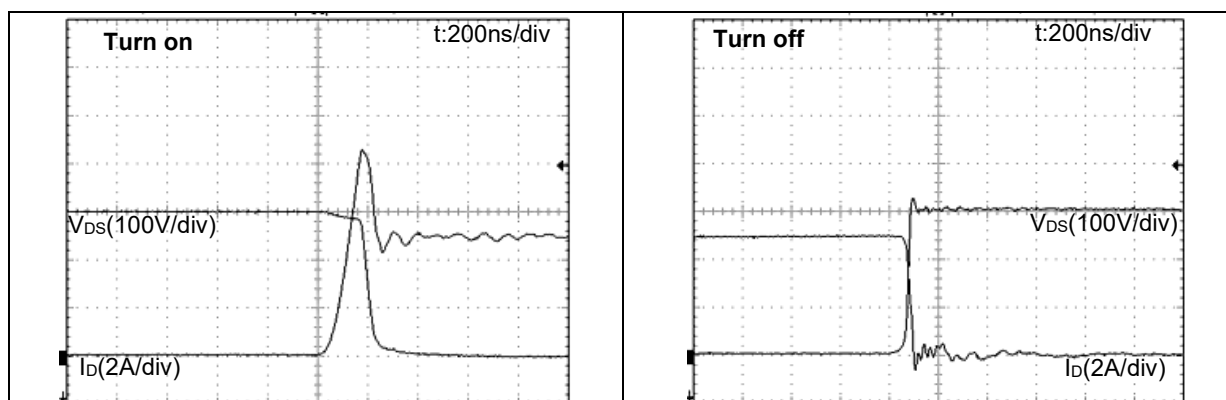


図2-1-6 PSM05S93E5 (5A/500V)スイッチング波形(代表例)
測定条件: V_{DD}=300V, V_D=V_{DB}=15V, Tch=25°C, L負荷ハーフブリッジ, I_D=5A

PSM05S93E5 (5A/500V)の制御(保護)部の規格を、表2-1-4に示します。

表2-1-4 PSM05S93E5 (5A/500V)の制御(保護)部規格

制御(保護)部 (指定のない場合は、Tch = 25°C)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I _D	回路電流	V _{P1} -V _{NC} , V _{N1} -V _{NC} の総和	V _D =15V, V _{IN} =0V	-	-	2.80	
			V _D =15V, V _{IN} =5V	-	-	2.80	
I _{DB}		V _{UFB} -U, V _{VFB} -V, V _{WFB} -W	V _D =V _{DB} =15V, V _{IN} =0V	-	-	0.10	
			V _D =V _{DB} =15V, V _{IN} =5V	-	-	0.10	
V _{SC(ref)}	短絡保護トリップレベル	V _D =15V (注1)	0.43	0.48	0.53	V	
UV _{DBt}	P側制御電源電圧低下保護	Tch ≤ 125°C	トリップレベル	7.0	10.0	12.0	V
UV _{DBr}			リセットレベル	7.0	10.0	12.0	V
UV _{Dt}	N側制御電源電圧低下保護		トリップレベル	10.3	-	12.5	V
UV _{Dr}			リセットレベル	10.8	-	13.0	V
OT _t	過熱保護 (注2)	V _D =15V, LVIC温度検出	トリップレベル	100	120	140	°C
OT _{rh}			リセット温度ヒステリシス幅	-	10	-	°C
V _{FOH}	エラー出力電圧	V _{SC} = 0V, F _O = 10kΩ, 5V プルアップ	4.9	-	-	V	
V _{FOL}		V _{SC} = 1V, I _{FO} = 1mA	-	-	0.95	V	
t _{FO}	エラー出力パルス幅	(注3)	20	-	-	μs	
I _{IN}	入力電流	V _{IN} = 5V	0.70	1.00	1.50	mA	
V _{th(on)}	入力オンしきい電圧	U _P , V _P , W _P , U _N , V _N , W _N -V _{NC} 端子間	-	2.10	2.60	V	
V _{th(off)}	入力オフしきい電圧		0.80	1.30	-	V	
V _{th(hys)}	入力オフしきい値ヒステリシス電圧		0.35	0.65	-	V	
V _F	ブートストラップDi順電圧降下	I _F =10mA, 制限抵抗の電圧降下含む	1.1	1.7	2.3	V	
R	制限抵抗値	ブートストラップDiに内蔵	80	100	120	Ω	

注1.短絡保護は下アームのみ動作します。また、保護電流値は定格の1.7倍以下になるように外部抵抗を選定してください。

2.過熱保護(OT)はLVICの温度がOTトリップ温度に達するとFoを出力すると共に、下アームのMOSFETの出力を遮断します。製品に取付けた放熱ヒートシンクが緩んだ状態、外れた状態でOT保護遮断した場合は、パワーチップのチャネル温度が最大瞬時チャネル温度150°Cを超えている場合がありますので、製品を交換してください。(放熱ヒートシンクを締付け直して使用しないでください。)

3.エラー出力は、短絡保護・N側(V_D)制御電源電圧低下保護・過熱保護時に出力します。Fo出力時間は、エラーモードにより異なります。SC保護の場合、Fo出力時間は、min. 20μsとなります。UV及びOT保護時には、UV,OT状態が解消されるまでFo出力し続けます。(最小出力時間は、20μsとなります)

PSM05S93E5 (5A/500V)の推奨使用条件を、表2-1-5に示します。

DIIPMを安全に使用するためには、推奨使用条件範囲内で使用されるようお願いいたします。

表2-1-5 PSM05S93E5 (5A/500V)の推奨使用条件

推奨使用条件

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{DD}	電源電圧	P-NU, NV, NW 端子間	0	300	400	V
V _D	制御電源電圧	V _{P1} -V _{NC} , V _{N1} -V _{NC} 端子間	13.5	15.0	16.5	V
V _{DB}	制御電源電圧	V _{UFB} -U, V _{VFB} -V, V _{WFB} -W端子間	13.0	15.0	18.5	V
ΔV _D , ΔV _{DB}	制御電源電圧変動率		-1	-	+1	V/μs
t _{dead}	上下アーム休止時間	各アーム段入力に対応	1.0	-	-	μs
f _{PWM}	PWM制御入力信号	T _C ≤ 100°C, Tch ≤ 125°C	-	-	20	kHz
I _O	許容実効電流	V _{DD} = 300V, V _D = V _{DB} = 15V, P.F = 0.8, 正弦波出力 T _C ≤ 100°C, Tch ≤ 125°C (注1)	f _{PWM} = 5kHz	-	-	2.5
			f _{PWM} = 15kHz	-	-	2.0
PWIN(on)	許容最小入力パルス幅	(注2)	0.7	-	-	μs
PWIN(off)			0.7	-	-	
V _{NC}	V _{NC} 端子変動	V _{NC} -NU, NV, NW 端子間の電位差, サージ電圧含む	-5.0	-	+5.0	V
Tch	チャネル温度		-20	-	+125	°C

注1. 許容実効電流に関しては、使用条件によって変わります。

注2. PWIN(on), PWIN(off)以下のパルス幅の入力信号には出力が応答しないことがあります。

※制御電源電圧変動率について

制御ICの電源ラインに高周波の急峻なノイズが重畳されると、ICの誤動作が起きてFoを出力し、更には出力を停止(ゲート遮断)することがあります。この誤動作を回避するために、ノイズの変動成分が±1V/μsより緩やかになるよう、また、そのリップル電圧も2Vp-pより小さくなるように、電源回路を設計してください。(規定: dV/dt ≤ 1V/μs, Vripple ≤ 2Vp-p)

2. 1. 4 機械的定格及び特性

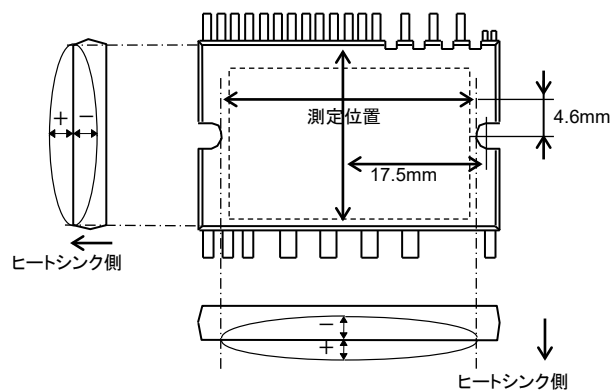
PSM05S93E5 (5A/500V)の機械的定格及び特性規格を、表2-1-6に示します。
 取り付け方法については、2.4項を参照ください。

表2-1-6 PSM05S93E5 (5A/500V)の機械的定格及び特性
 機械的定格及び特性

記号	項目	測定条件		準拠規格	規格値			単位
					最小	標準	最大	
—	締付けトルク強度	取付けネジ(M3) (注1)	推奨値 0.69N・m	—	0.59	-	0.78	N・m
—	端子引張り強度	荷重 制御端子 : 4.9N パワー端子 : 9.8N		EIAJ-ED-4701	10	-	-	s
—	端子曲げ強度	荷重 制御端子 : 2.45N パワー端子 : 4.9N 上記荷重にて90度曲げ		EIAJ-ED-4701	2	-	-	回
—	質量			-	-	8.5	-	g
—	放熱面平面度		(注2)	-	-50	-	100	μm

注1. 取り付けネジには平座金(推奨;JIS B1256)を使用してください。

注2. 放熱面平面度測定位置



2. 2 保護機能とシーケンス

MOSFET 超小型DIIPMには、保護機能として短絡保護、制御電源電圧低下保護、過熱保護と温度出力機能があります。各保護機能の動作シーケンスを示します。

2. 2. 1 短絡保護

1. 概要

DIIPMは、内部に電流検出手段を内蔵していませんので、外部にシャント抵抗(電流検出用抵抗)を接続する必要があります。このシャント抵抗に電流が流れることによって発生する電圧を、DIIPMのCIN端子にフィードバックさせることで、DIIPMの短絡保護が可能になります。CIN端子はコンパレータに接続されています。しきい値 $V_{sc}=0.48V$ (typ)で保護動作します。保護動作に入ると、N側のMOSFET3相分のゲートを遮断し、Fo信号を出力します。スイッチング時のリカバリ電流や、ノイズによる短絡保護回路の誤動作を防ぐため、CIN端子入力にRCフィルタ(時定数 $1.5\sim 2\mu s$ 程度)を設置してください。また、シャント抵抗部の配線は可能な限り短くすることが必要です。

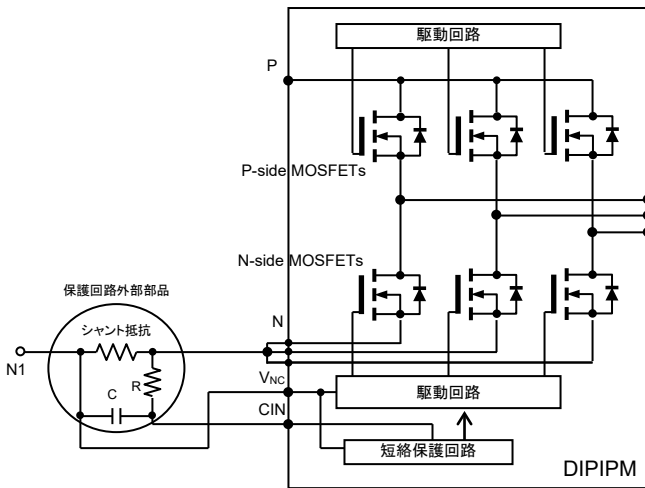


図2-2-1短絡保護回路(外部シャント周辺回路例)

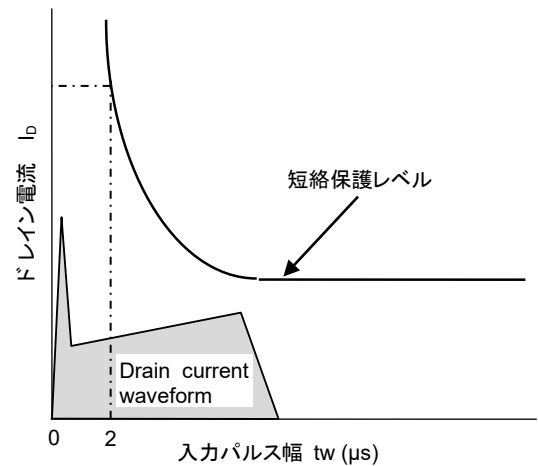


図2-2-2フィルタ設定

2. 短絡保護動作シーケンス

短絡保護動作シーケンス(N側のみ)・・・外付けシャント抵抗, RC時定数回路による保護

- a1. 正常動作=MOSFETオン=出力電流有り
- a2. 過電流検出(SCTリガ)・・・RC時定数は、 $2\mu s$ 以内に遮断するように最適遮断時間を設定($1.5\sim 2.0\mu s$ 以下推奨)
- a3. N側全相のMOSFETゲートをハード遮断
- a4. N側全相のMOSFETがオフ
- a5. Fo出力・・・Fo出力時間:min. $20\mu s$
- a6. 入力“L”=オフ
- a7. Fo出力終了。入力“H”途中でも次のオン信号(L→H)が入力されるまで、MOSFETはオフ状態。
(各相への入力で相ごとに通常状態に復帰します)
- a8. 正常動作=MOSFETオン=出力電流有り

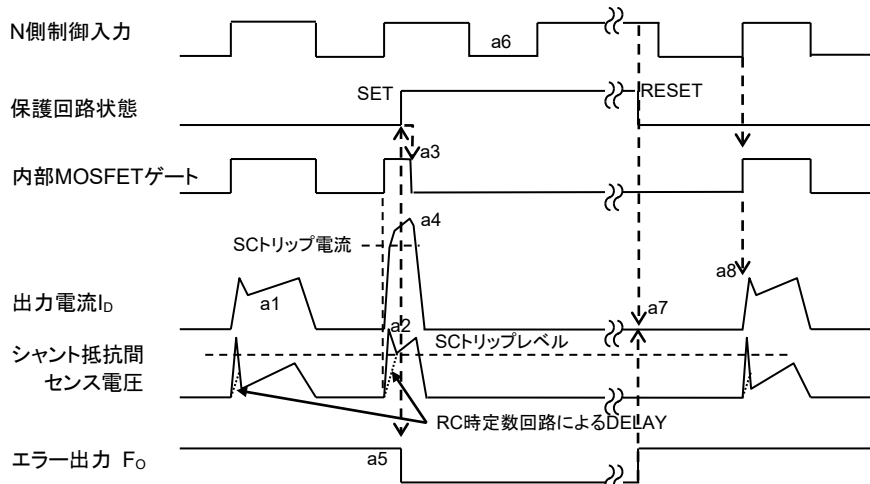


図2-2-3 短絡保護動作シーケンス

3. ショット抵抗値の設定

(1) ショット抵抗値の設定

外部ショット抵抗値は、短絡保護トリップ電圧 $V_{SC(ref)}$ と遮断すべき電流設定値 SC から次式で設定します。

$$R_{Shunt} = V_{SC(ref)} / SC$$

SC レベルのmax値は、ショット抵抗のばらつき・変動や $V_{sc(ref)}$ のばらつきを考慮して、DIIPMの飽和電流最小値以下となるように設定する必要があります。MOSFET 超小型DIIPMでは、短絡保護推奨設定値は、定格電流の1.7倍ですので、それ以下になるように外部ショット抵抗値を設定してください。

例としてPSM05S93E5で SC レベルを8.5A(定格5Ax1.7)とした場合の設定を下記に示します。

MOSFET 超小型DIIPMの短絡保護トリップ電圧のばらつきを表2-2-1に示します。

表2-2-1 $V_{SC(ref)}$ の規格

項目	記号	条件	min.	typ.	max.	単位
短絡保護トリップレベル	$V_{SC(ref)}$	$T_{ch}=25^{\circ}C, V_D=15V$	0.43	0.48	0.53	V

ショット抵抗値 R_{Shunt} 及び $V_{sc(ref)}$ と SC 保護レベルの関係は、ばらつきを考慮した場合、下記のようになります。

$$R_{Shunt} \text{ min. 値} = V_{SC(ref)} \text{ の max. 値} / SC \text{ の max. 値} (= \text{定格電流の} 1.7 \text{ 倍})$$

$$R_{Shunt} \text{ typ. 値} = R_{Shunt} \text{ min. 値} / 0.95^* \text{ よって } SC \text{ typ. 値} = V_{SC(ref)} \text{ typ. 値} / R_{Shunt} \text{ typ. 値}$$

$$R_{Shunt} \text{ max. 値} = R_{Shunt} \text{ typ. 値} \times 1.05^* \text{ よって } SC \text{ min. 値} = V_{SC(ref)} \text{ min. 値} / R_{Shunt} \text{ max. 値}$$

*) ここではショット抵抗のばらつきを±5%とする。

以上より SC レベルの動作範囲は表2-2-2のようになります。

表2-2-2 SC の動作範囲 (ショット抵抗値 min. 62.4mΩ, typ. 65.7mΩ, max. 69.0mΩ)

条件	min.	typ.	max.
$T_{ch}=25^{\circ}C, V_D=15V$ での SC 動作範囲	6.2A	7.3 A	8.5 A

(例: 62.4mΩ ($R_{shuntmin.}$) = 0.53V (= $V_{SC(ref)max.}$) / 8.5A (= $SC_{max.}$)

外部配線の寄生インダクタンスや寄生容量に起因する共振波形により、設計値より低い電流で保護回路が動作することがあります。抵抗値の調整は最終的には実機で評価する必要があります。

(2) RC時定数の設定

RCフィルタ回路は、ショット抵抗に発生するノイズによる SC 保護回路の誤動作を防止と、過負荷時に十分な電流を流すことを目的としています。ノイズの印加時間と素子の耐量からRC時定数を設定します。(推奨は1.5~2.0μs)

外部ショット抵抗に SC レベルを超えると電圧が発生した後、RCフィルタを介しCIN端子に電圧が印加される時間 $t1$ は下記計算式により求められます。

計算式

$$V_{SC} = R_{shunt} \cdot I_c \cdot (1 - e^{-\frac{t1}{\tau}})$$

$$t1 = -\tau \cdot \ln\left(1 - \frac{V_{SC}}{R_{shunt} \cdot I_c}\right)$$

V_{sc} : 短絡保護トリップ電圧 $V_{SC(ref)}$ 、 R_{shunt} : ショット抵抗値、 I_c : ピーク電流値、 τ : RC時定数、 $t1$: 遮断時間

また、CIN端子に保護レベルを超える電圧が印加されてから、実際にMOSFETのゲートが遮断されるまでには、下記表2-2-3に示すようなIC内部の遅れ時間 $t2$ がかかります。

表2-2-3 SC 回路遅れ時間

項目	min.	typ.	max.	単位
SC 遮断時間	-	-	0.5	μs

従って、外部ショット抵抗に SC レベルを超える電圧が発生した後、MOSFETのゲートを遮断するまでの時間 t_{TOTAL} は、下記となります。

$$t_{TOTAL} = t1 + t2$$

2. 2. 2 制御電源電圧低下保護

制御電源電圧が低下すると、MOSFETのゲート電圧が下がることによる弊害が生じます。推奨電源電圧内でのご使用をお願いします。

制御電源電圧が低下すると、MOSFETを保護するため、制御電源電圧低下保護(UV)が動作します。P側、N側の両方にUV回路はありますが、N側回路でUVが動作したときのみ、Fo信号を出力します。Fo信号は、制御電源電圧が低下している期間出力します。P側はMOSFETのゲート遮断のみで、Fo信号は出力しません。

また、この保護回路には、ノイズ等による瞬間的な電圧低下での保護動作を除去するため、約10 μ s(標準値)のフィルタを内蔵しておりますので制御電源電圧がトリップ電圧(UV_{DBt}、UV_{Dt})まで低下した場合でも、約10 μ s以内であれば保護は働きません。

表2-2-4 各制御電源電圧範囲でのDIIPMの状態

制御電源電圧範囲(V _D , V _{DB})	状態
0-4.0V(P側,N側)	制御ICの正常動作電圧領域ではないため、電源電圧低下保護(UV)、Foなどの各種保護動作の正常動作は保証されません。MOSFETのしきい電圧以下であり、基本的にオンしませんが、外来ノイズ等により誤オンする可能性がありますので制御電源より先にDC-LINK電圧を立ち上げないでください。
4.0-UV _{Dt} (N側), UV _{DBt} (P側)	制御電源電圧低下保護(UV)動作範囲内 制御入力信号を加えても、スイッチング動作を停止しています。電源電圧低下保護(UV)が動作し、Foを出力します。
UV _{Dt} (N側)-13.5V UV _{DBt} (P側)-13.0V	スイッチング動作します。但し推奨範囲外ですので、DIIPMの仕様書で規定しているV _{DS} ・スイッチング時間共に規格値を外れて損失が増加し、チャネル温度が上昇する可能性があります。
13.5~16.5V(N側) 13.0~18.5V(P側)	推奨電源電圧範囲内 正常動作します。
16.5~20.0V(N側) 18.5~20.0V(P側)	スイッチング動作します。但し、推奨範囲外ですので、スイッチング時間が高速になりすぎて、短絡時にはチップの短絡耐量が不足し、破壊することがあります。
20.0~	IPMの制御回路が破壊する可能性があります。

※リップルノイズの規定

制御ICの電源ラインに高周波の急峻なノイズが重畳されると、ICの誤動作が起きてFoを出力し、更には出力を停止(ゲート遮断)することがあります。この誤動作を回避するために、ノイズの変動成分が $\pm 1V/\mu s$ より緩やかになるよう、リップル電圧が2Vより小さくなるように、電源回路を設計してください。(規定: $dV/dt \leq 1V/\mu s$, $V_{ripple} \leq 2V_{p-p}$)

制御電源電圧低下保護動作シーケンス(N側, UV_D)

- a1. 制御電源電圧立上り…… UV_{Dr} にて次のオン信号(L→H)入力より動作開始
(各相への入力で相ごとに通常状態に復帰します)
- a2. 正常動作=MOSFETオン=出力電流あり
- a3. 制御電源電圧低下 (UV_{Dt})
- a4. N側全相のMOSFETオフ……制御入力の状態に関わらずオフ
- a5. F_o 出力(20 μ s(min)以上、制御電源電圧が復帰するまでの間出力)
- a6. 制御電源電圧復帰 (UV_{Dr})
- a7. 正常動作=MOSFETオン=出力電流あり

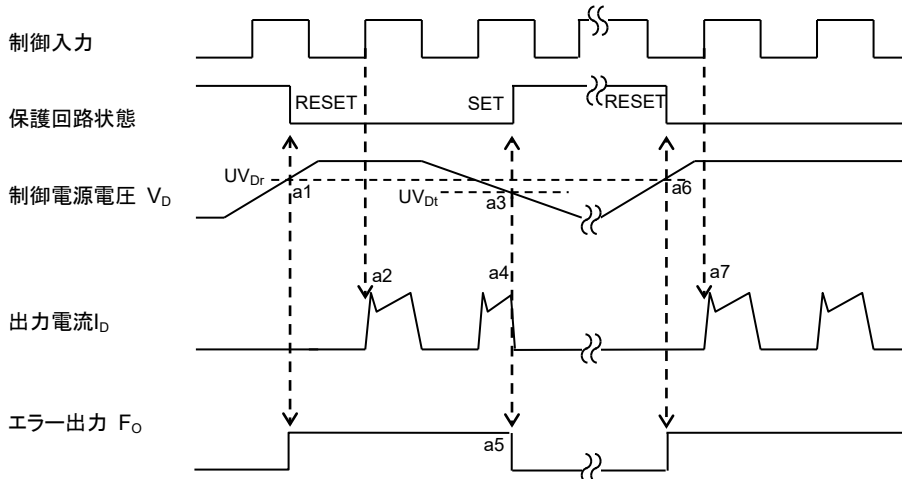


図2-2-4 制御電源電圧低下保護(N側)動作シーケンス

制御電源電圧低下保護動作シーケンス(P側, UV_{DB})

- a1. 制御電源電圧立上り…… UV_{DBr} にて次のオン信号(L→H)入力より動作開始
- a2. 正常動作=MOSFETオン=出力電流あり
- a3. 制御電源電圧低下 (UV_{DBt})
- a4. 該当相のP側MOSFETのみオフ……制御入力に関わらずオフ, F_o 出力はなし
- a5. 制御電源電圧復帰 (UV_{DBr})
- a6. 正常動作=MOSFETオン=出力電流あり

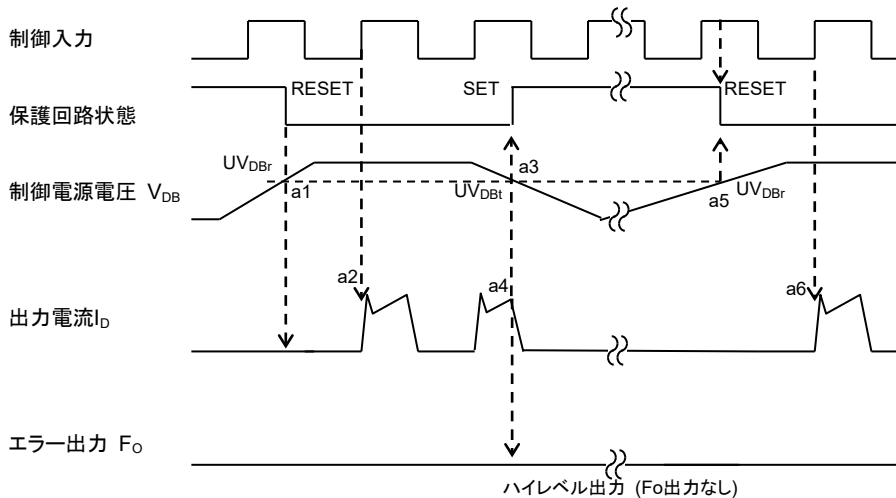


図2-2-5 制御電源電圧低下保護(P側)動作シーケンス

2. 2. 3 過熱保護

MOSFET 超小型DIIPMは、内蔵制御IC(LVIC)の温度をモニタすることによる過熱保護機能(OT)を搭載しています。LVICの温度がトリップ温度を超えて過熱保護が働くと、トリップ温度以上である限り、N側の入力を受け付けず、N側MOSFET全相をオフ状態にし、Foも出力し続けます。

過熱保護トリップ温度の規格を表2-2-5、保護シーケンスを図2-2-6に示します。

表2-2-5 過熱保護トリップ温度

項目	記号	条件	最小値	標準値	最大値	単位
過熱保護	OTt	V _D =15V,LVICの温度を検知	100	120	140	°C
	OTrh	トリップレベル リセット温度ヒステリシス幅	—	10	—	°C

過熱保護動作シーケンス(N側のみ)

- a1. 正常動作=MOSFETオン=出力電流あり
- a2. LVIC温度が過熱保護トリップレベル(OTt)以上に上昇
- a3. N側全相のMOSFETオフ…制御入力の状態に関わらずオフ
- a4. Fo動作開始(min. 20μs以上、LVIC温度が低下するまでの間Fo出力)
- a5. LVIC温度がリセットレベル(OTt-OTrh)以下に低下
- a6. 次のオン信号(L→H)入力より正常動作開始(各相への入力で相ごとに通常状態に復帰します)

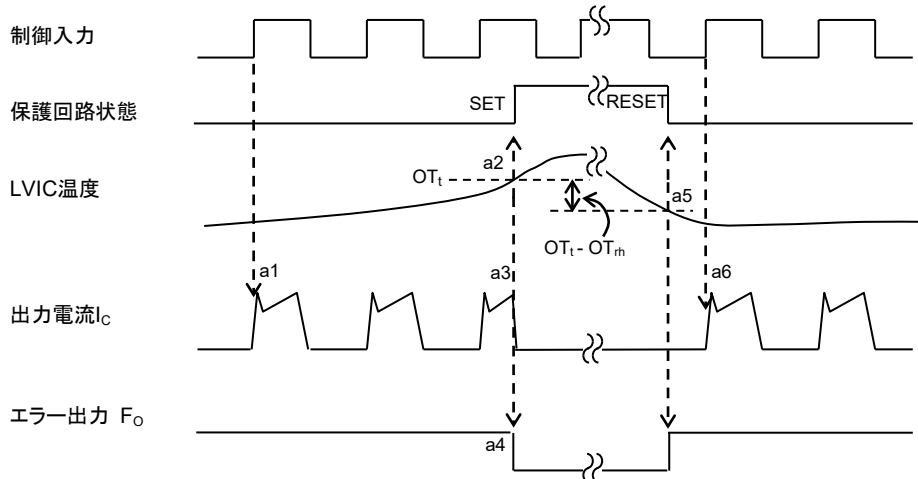


図2-2-6 過熱保護動作シーケンス

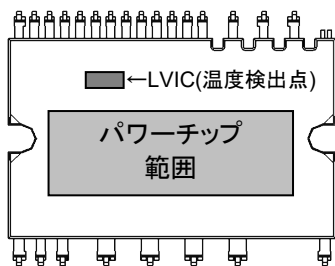


図2-2-7 OT機能の温度検出位置

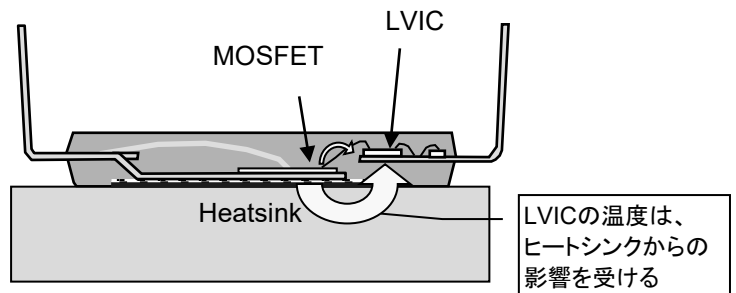


図2-2-8 パワーチップからの熱伝導

過熱保護機能についての注意事項

- (1) ロックや過電流時等のような急激なチャネル温度上昇には本機能は、有効に働きません。(パワーチップから距離のあるLVICの温度をモニタしているため、パワーチップの急激な温度上昇には追従できません)
- (2) エラー出力で停止した際に、冷却システムが異常(放熱フィンの緩み、外れ、あるいは空冷ファンの故障など)であった場合は、過熱保護機能が働いて、Fo出力された可能性が高く、パワーチップのチャネル温度が絶対定格の瞬時チャネル温度150°Cを超えている可能性がありますので、IPMを交換する必要があります。(冷却システムのみを修理し、DIIPMを再使用することは、お止めください。)

MOSFET超小型DIIPM シリーズ アプリケーションノート

2.3 MOSFET 超小型DIIPMのパッケージ

MOSFET 超小型DIIPMには、端子形状の異なるパッケージがラインナップされています。用途に応じてご検討ください。

2.3.1 外形図

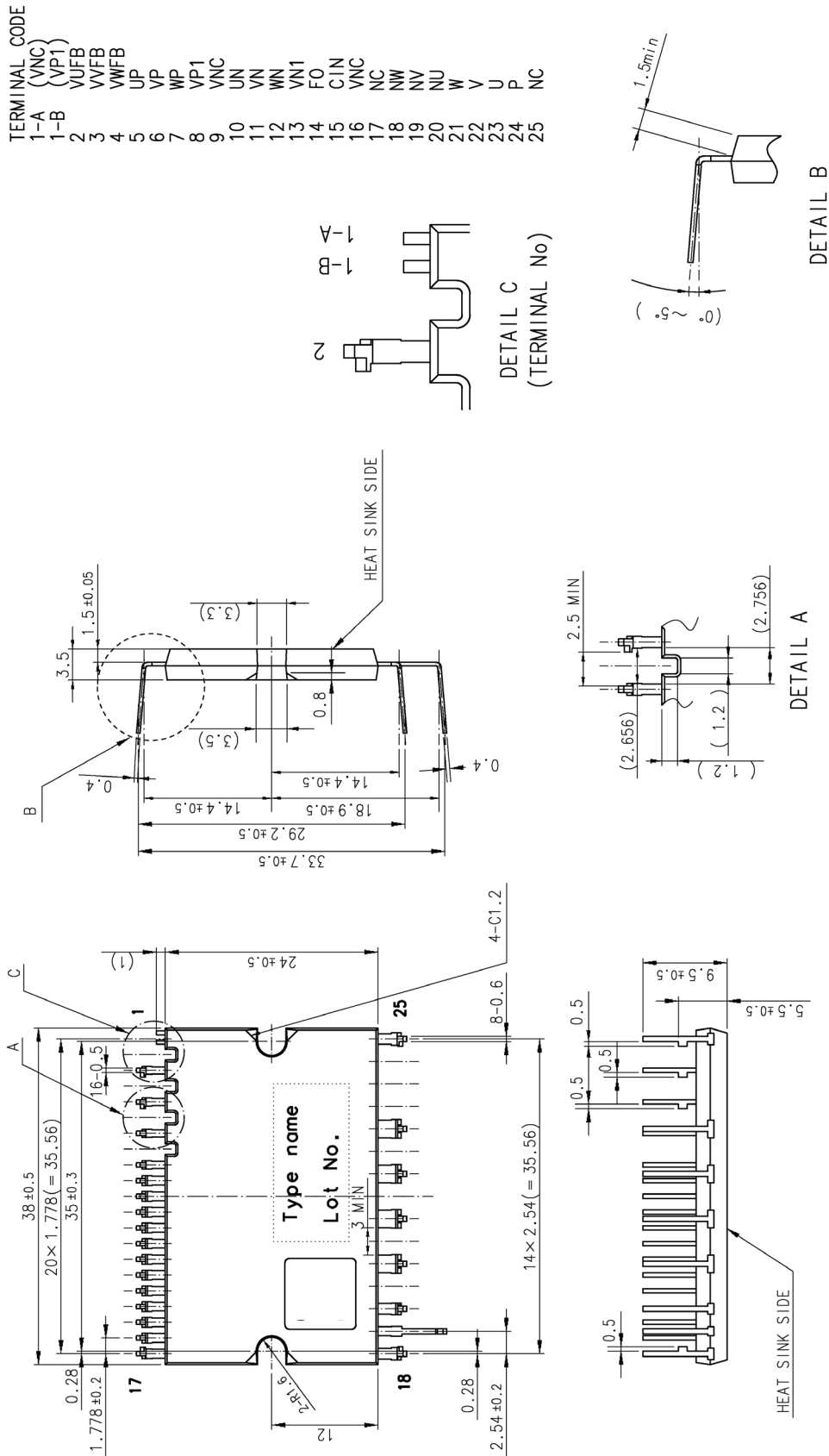


図2-3-1 短尺仕様外形図 (単位:mm)

*) 9ピンと 16ピンのVNC(制御電源GND端子)は内部で接続されていますので
どちらか一方のみ使用して、他方はオープン状態でご使用ください

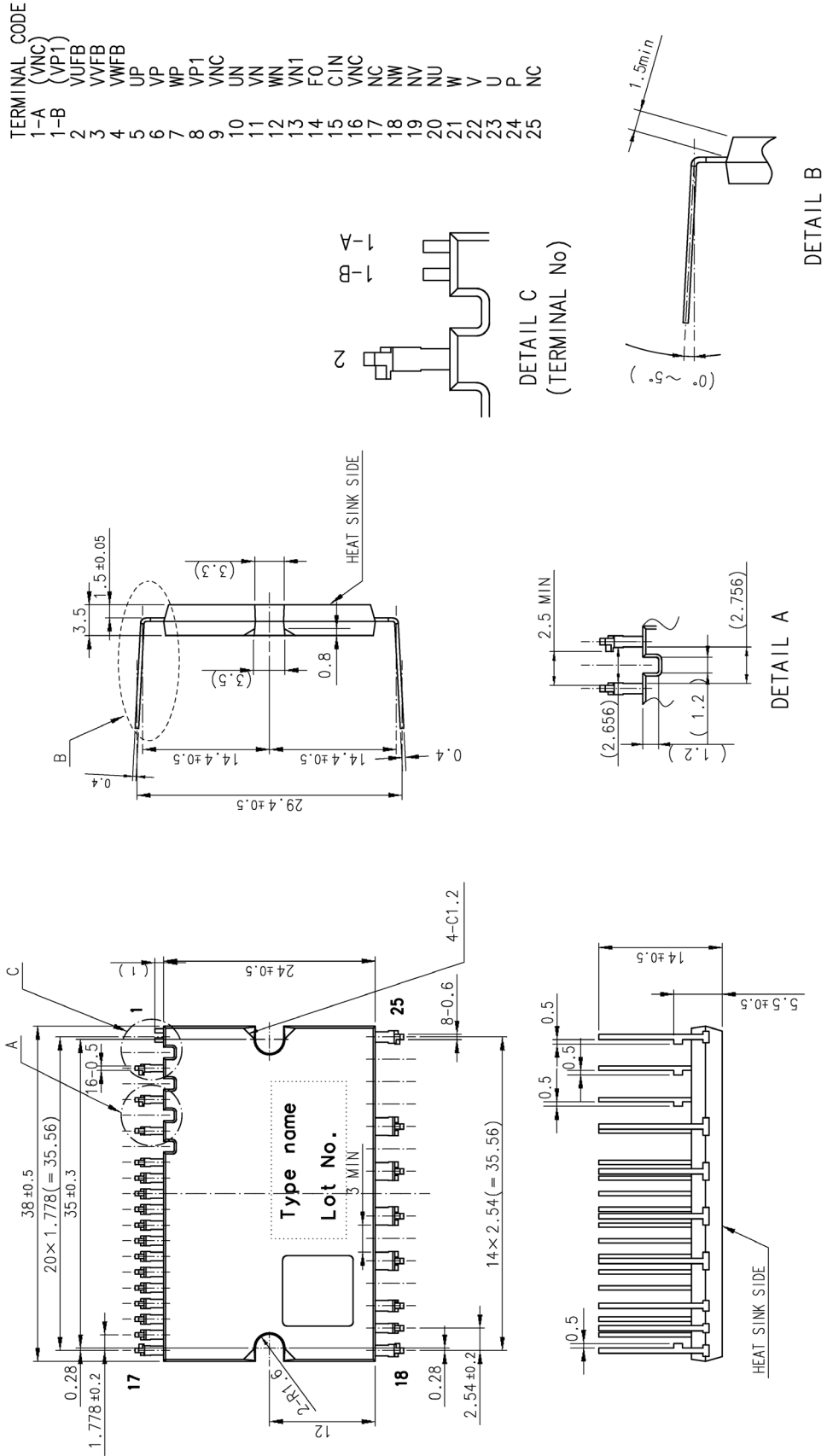


図2-3-2長尺仕様(-A)外形図 (単位:mm)

*) 9ピンと16ピンのVNC(制御電源GND端子)は内部で接続されていますのでどちらか一方のみ使用して、他方はオープン状態でご使用ください。

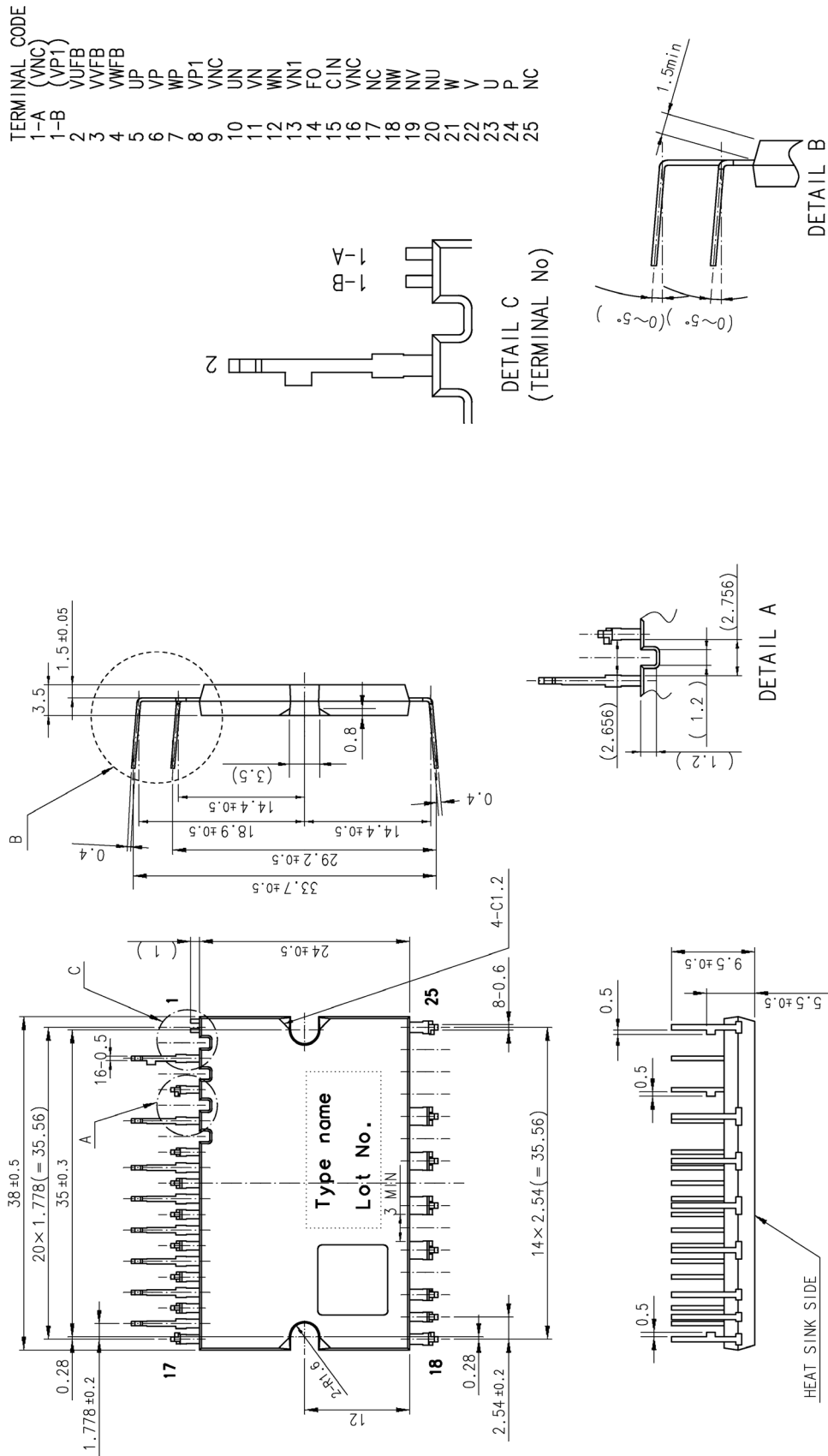


図2-3-3 制御側千鳥端子仕様(-C)外形図 (単位:mm)

*) 9ピンと16ピンのVNC(制御電源GND端子)は内部で接続されていますので、どちらから一方のみ使用して、他方はオープン状態でご使用ください。

2.3.2 マーキング

図2-3-4にMOSFET 超小型DIIPMのレーザーマーキング範囲を示します。
社名、形名、生産国、ロット番号、2Dは、モジュール上部(放熱面の反対側)にマーキングされます。

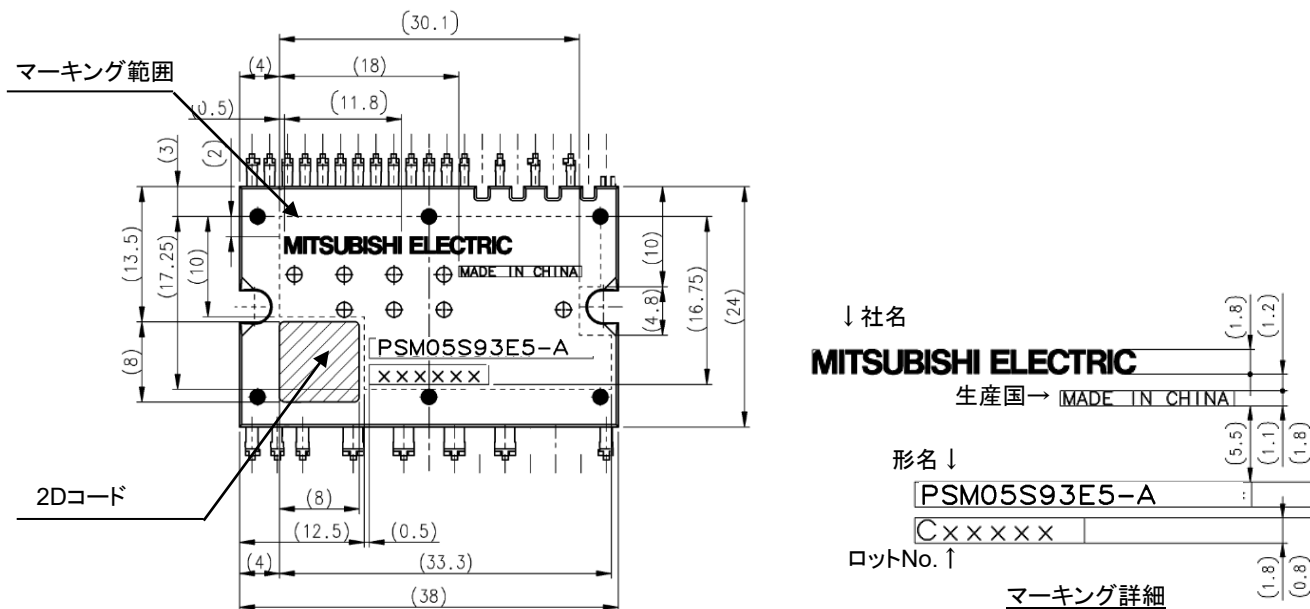
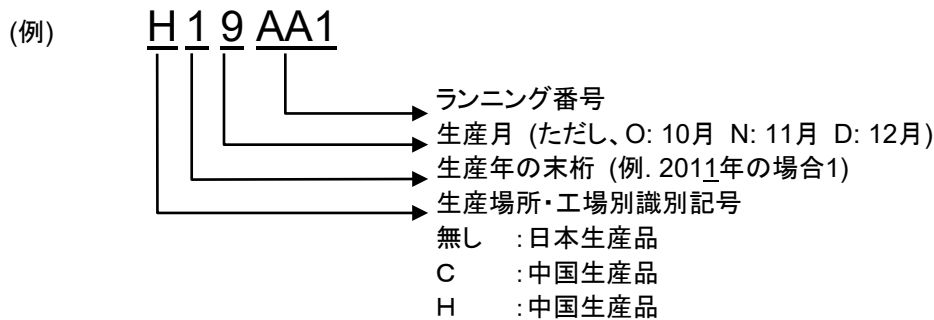


図2-3-4 マーキング図 (単位:mm)

ロット番号は、製造年・月、ランニング番号及び生産国を示します。詳細は以下のとおりです。



2. 3. 3 端子配列と名称

表2-3-1 端子説明

端子No.	端子名	端子説明
1-A	(V _{NC}) ^{*2}	内部使用端子(制御GND電位のため接続不可)
1-B	(V _{P1}) ^{*2}	内部使用端子(制御電源電位のため接続不可)
2	V _{UFB}	UP相駆動電源端子
3	V _{VFB}	VP相駆動電源端子
4	V _{WFB}	WP相駆動電源端子
5	U _P	UP相制御入力信号端子
6	V _P	VP相制御入力信号端子
7	W _P	WP相制御入力信号端子
8	V _{P1}	P側制御電源端子(+)
9	V _{NC} ^{*1}	P側制御電源GND端子 (16pinと内部で接続)
10	U _N	UN相制御入力信号端子
11	V _N	VN相制御入力信号端子
12	W _N	WN相制御入力信号端子
13	V _{N1}	N側制御電源端子(+)
14	F _o	エラー出力端子
15	C _{IN}	短絡トリップ電圧検出端子
16	V _{NC} ^{*1}	N側制御電源GND端子(9ピンと内部で接続)
17	NC	No connection (内部未接続)
18	NW	W相出力GND(ソース)端子
19	NV	V相出力GND(ソース)端子
20	NU	U相出力GND(ソース)端子
21	W	W相出力端子 (WP相駆動電源GND端子)
22	V	V相出力端子 (VP相駆動電源GND端子)
23	U	U相出力端子 (UP相駆動電源GND端子)
24	P	インバータ電源(+)
25	NC	No connection (内部未接続)

*1) この2端子は、内部で接続されていますのでどちらか一方のみ使用して、他方はオープン状態でご使用ください。

*2) No.1-A,1-Bは内部使用のダミー端子ですが電位をもっているため、何も接続しないでください。

表2-3-2 MOSFET 超小型DIPIPMの入出力端子構造

項目	記号	内容
P側駆動電源端子 P側駆動電源 GND端子	V _{UFB-U} V _{VFB-V} V _{WFB-W}	<ul style="list-style-type: none"> High-side MOSFET駆動用電源端子です。 ブートストラップ回路を外付けすることにより外部電源は不要となります。ブートストラップコンデンサは、出力端子がGNDレベルになった際にV_Dによって充電されます。 V_{DB}が安定していないと誤動作の原因となります。ブートストラップコンデンサと並列に、周波数及び温度特性の良いパスコン(～2μF程度)を接続されることを推奨します。 制御電源へのサージ電圧吸収用にツェナーダイオード(ツェナー電圧24V、電力損失1W程度)を端子近傍に接続することをお奨めします。
P側制御電源端子 N側制御電源端子	V _{P1} V _{N1}	<ul style="list-style-type: none"> 内蔵ICの制御側電源端子です。(LVICとHVIC)。 V_{P1},V_{N1}は外部基板上で接続してください。 ノイズと電源リップルによる誤動作を抑えるために周波数特性の良い平滑コンデンサを制御端子近傍に接続ください。また、周波数及び温度特性の良いパスコン(～2μF程度)を接続されることを推奨します。 電圧リップルは規格内にはいるように設計ください。 制御電源へのサージ電圧吸収用にツェナーダイオード(ツェナー電圧24V、電力損失1W程度)を端子近傍に接続することをお奨めします。
制御電源GND端子	V _{NC}	<ul style="list-style-type: none"> 内蔵ICの制御側GND端子です。(LVICとHVIC) 入力、Fo出力など制御基準電位となるのでノイズの影響を避けるため、制御GND配線に母線電流が流れないようにしてください。(パワーGNDと分けて配線する) V_{NC}端子は、9,16ピンの2ヶ所ありますが内部で接続されていますので、どちらか一方のみ使用し、他方はオープン状態で使用してください。
制御入力端子	U _P ,V _P ,W _P U _N ,V _N ,W _N	<ul style="list-style-type: none"> スイッチング制御する入力端子です。内部でmin3.3kΩでプルダウンされています。 電圧駆動タイプです。内部はCMOS構成のシュミットトリガ回路に接続されています。 ノイズに敏感ですので、パターンは最短とし、かつ配線に注意してください。ノイズなどが重畳している場合は、RCフィルタを接続してください。RCフィルタを追加する場合、DIPIPM内部のプルダウン抵抗との分圧になりますのでご注意ください。
短絡トリップ 電圧検出端子	CIN	<ul style="list-style-type: none"> 短絡時に電流検出用シャント抵抗で発生した電位をRCフィルタを通して、この端子に入力し短絡保護を行います。 RCフィルタ時定数は2μs以下を推奨します。
エラー出力端子	Fo	<ul style="list-style-type: none"> DIPIPMの異常状態(N側のSC,UV,OT保護動作時)を示す出力です。 オープンドレイン出力です。Fo出力時ののシンク電流を1mA以下にする必要がありますので外部で5V系電源に5kΩ以上(推奨10kΩ)の抵抗でプルアップしてください。
インバータ 電源端子	P	<ul style="list-style-type: none"> インバータの電源端子です。P側 MOSFETのドレインに接続されています。 パターンのインダクタンス成分によるサージ電圧を抑制するため、平滑コンデンサをP,N両端子の直近に配置してください。また、周波数特性に優れたフィルムコンデンサの追加も効果的です。
インバータGND端子	NU,NV,NW	<ul style="list-style-type: none"> インバータのグランドです。 NUにU相、NVにV相、NWにW相のN側 MOSFETのソースが接続されています。
インバータ出力端子	U,V,W	<ul style="list-style-type: none"> インバータ出力用の端子です。 モーターなどの負荷を接続します。 内部はハーフブリッジで構成された出力MOSFETの midpointに接続されています。

※ スwitching動作時のDIPIPM制御電源端子、P-N間電圧のサージ電圧や、入力端子のノイズをオシロスコープなどで確認してください。その際、オシロスコープの時間軸は1μs/div以下での確認が必要です。
 定格を超えるサージや入力しきい値を越えるようなノイズが重畳しているようであれば、対策(配線見直し、コンデンサの位置、容量の見直し、ツェナーDiの搭載、フィルタの強化など)をご検討ください。

MOSFET超小型DIIPM シリーズ アプリケーションノート

2. 4 MOSFET 超小型DIIPMの取り付け方法

MOSFET 超小型DIIPMの絶縁距離及びDIIPMを放熱ヒートシンクに取り付ける場合の注意点を示します。

2. 4. 1 MOSFET 超小型DIIPMの絶縁距離

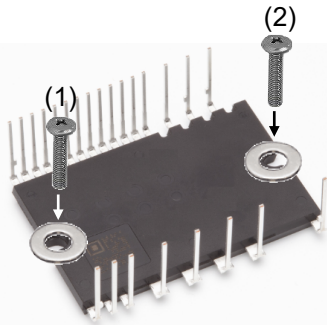
DIIPMの空間、沿面距離を表2-4-1に示します。

表2-4-1 MOSFET 超小型DIIPM絶縁距離 (min値)

	空間距離(mm)	沿面距離(mm)
充電部異電極端子間	2.50	3.00
外部端子-放熱ヒートシンク間	1.45	1.50

2. 4. 2 MOSFET 超小型DIIPMの取り付け方法と注意点

モジュールをヒートシンクなどに取り付ける際、過剰なトルクでの締め付けや、片締めを行うと、パッケージに応力が加わりモジュール内パワー素子などのチップまたは、パッケージ破壊(絶縁劣化)を招くことになります。推奨する締め付け順序例を図2-4-1に示します。締め付け時にはトルクドライバーを使用し、所定のトルクで締めつけてください。また、DIIPMの放熱面とヒートシンク表面に、異物が混入しないようにしてください。正常な取り付け手順を設定した場合でも突発的な過度の締め付けや異物の混入などによるパッケージへのダメージ印加の可能性もあり得ますので、安全性の確保の観点からDIIPM取り付け後の製品でも絶縁検査等の確認作業の実施を推奨いたします。



仮締め
(1)→(2)
本締め
(1)→(2)

Note: 仮締めの締め付けトルクは、推奨トルクの最大値の20~30%を目安に設定してください。また、交互に締め付けるのであれば順序はどちらが先でも問題ありません。((2)→(1)の順序でも可です)

図2-4-1 推奨締め付け手順

表2-4-2 締め付けトルク強度とヒートシンク平面度の規格

項目	条件	最小値	標準値	最大値	単位
締め付けトルク強度	取付けネジ:M3*	0.59	0.69	0.78	N・m
放熱面平面度	図2-4-2を参照	-50	-	+100	μm

*)取り付けねじには平座金(推奨:JIS B1256)を使用してください。

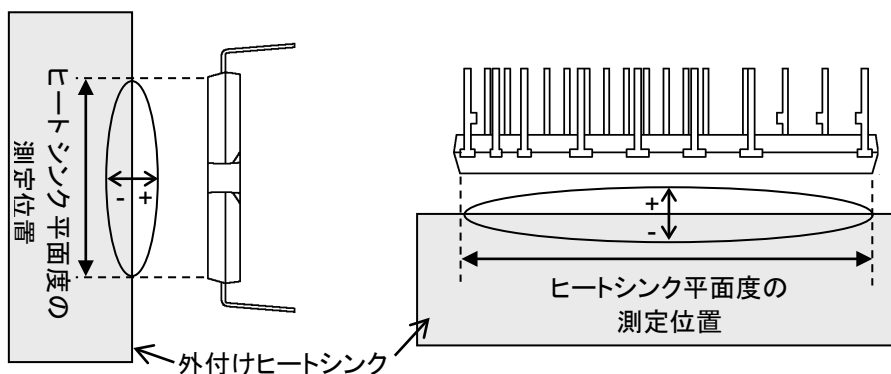


図2-4-2 外付けヒートシンクの平面度測定位置

放熱効果を最大限に得るためには、その接触面積をできるだけ大きくし接触熱抵抗を最小にする必要があります。ヒートシンクの平面度(反り/凹凸)は、DIIPM取り付け面において、図2-4-2のとおりとし、表面仕上げRz12以内を推奨します。また、DIIPMの放熱面とヒートシンクとの接触面には熱伝導性の良いグリースを100μm~200μm程度、均一になるように塗布してください。ヒートシンクとの接触面にグリースを塗布しますと接触部の腐食防止にも役立ちます。ただし、塗布するグリースは、使用動作温度範囲内で変質せず、経年変化のないものをご使用ください。製品放熱面-ヒートシンク間の熱抵抗は、締め付けた状態におけるグリースの厚さ、グリースの熱伝導率等により異なります。目安として、グリース厚20μm、グリースの熱伝導率1.0W/m・K時の製品放熱面-フィン間熱抵抗値(1/6モジュール)は、0.3°C/Wとなります。グリース塗布、ヒートシンク取り付け時には、空気を巻き込まないように十分なじませてください。(接触熱抵抗の増加、締め付けの緩みにつながる可能性があります)

2. 4. 3 はんだ付け条件

DIIPM基板実装時のはんだ付け条件を下記します。(リフローはんだ付けはできません。)

(1)フローはんだ条件

フローはんだの条件につきましては、はんだ槽温度 $260^{\circ}\text{C} \pm 5^{\circ}\text{C}$ 以下、浸漬時間 10 ± 1 秒以内であれば、当社信頼性試験条件(表2-4-3)以下であり問題ないものと考えます。また、予備加熱につきましては、DIIPMの保存温度定格の 125°C 以下での実施を推奨します。

フローはんだ付けでは、はんだ噴流の状態、コンベア速度、基板のランド、スルーホール形状などによって条件が変化いたします。最終的には実際の基板を使用し、現品で問題ないことをご確認願います。

表2-4-3 信頼性試験条件

信頼性項目	試験条件
はんだ耐熱性	はんだ温度 $260^{\circ}\text{C} \pm 5^{\circ}\text{C}$ 、 10 ± 1 秒

(2)手はんだ条件

はんだごてなどによる手はんだ付け条件につきましては、はんだごての種類(ワット数含む)や基板上の配線パターンにより変わりますので、一般的な推奨条件は提示しておりません。

はんだごてによるはんだ付け時の温度は、DIIPMのトランスファーモールド樹脂のTg(ガラス転位温度)やチップ耐熱温度を考慮して、リード端子根元部で 150°C 以下にすることを推奨しています。

はんだ付け条件を設定する場合には、ご使用のはんだごて、基板にてDIIPMの端子根元温度、はんだぬれ性などを十分ご確認のうえ、設定願います。(はんだ付け時間は極力短時間としてください)

また、はんだごて使用時の一般的な注意点として、半導体用のはんだごて(12~24Vの低電圧仕様)を用いて、こて先はアースして使用願います。温度管理のために、温度調整機能付きのはんだごてが有効です。

以下に端子根元の温度上昇のご参考データとして、50Wはんだごてにより模擬評価した結果を図2-4-4に示します。

[評価方法]

(a)評価サンプル: 超小型DIIPM短尺品

(b)評価手順

- ・熱容量的に小さい制御側外部リード端子先端(先端から1mm)の箇所にはんだごて(50W)をあて、リード端子根元の温度上昇を測定する。(図2-4-3)
- ・温度測定は、リード端子根元に熱電対(C・C線)を取り付けて測定。
- ・はんだごての温度設定は、 350°C 及び 400°C にて実施。

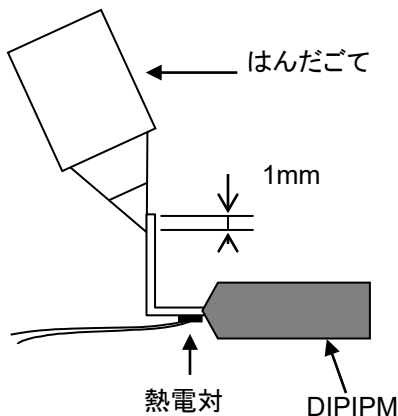


図2-4-3評価状態

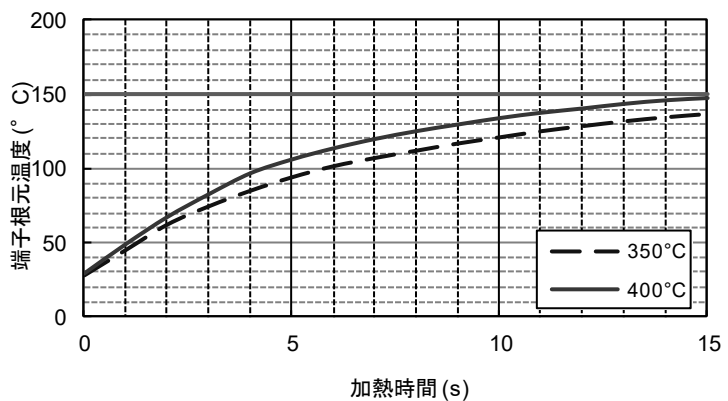


図2-4-4端子にはんだごてをあてたときの端子根元温度推移(代表例)

第3章 MOSFET 超小型DIIPMの使用方法

3.1 MOSFET 超小型DIIPMの使用方法と応用

この章では、本DIIPMの使用方法、周辺回路例について説明します。

3.1.1 システム接続例

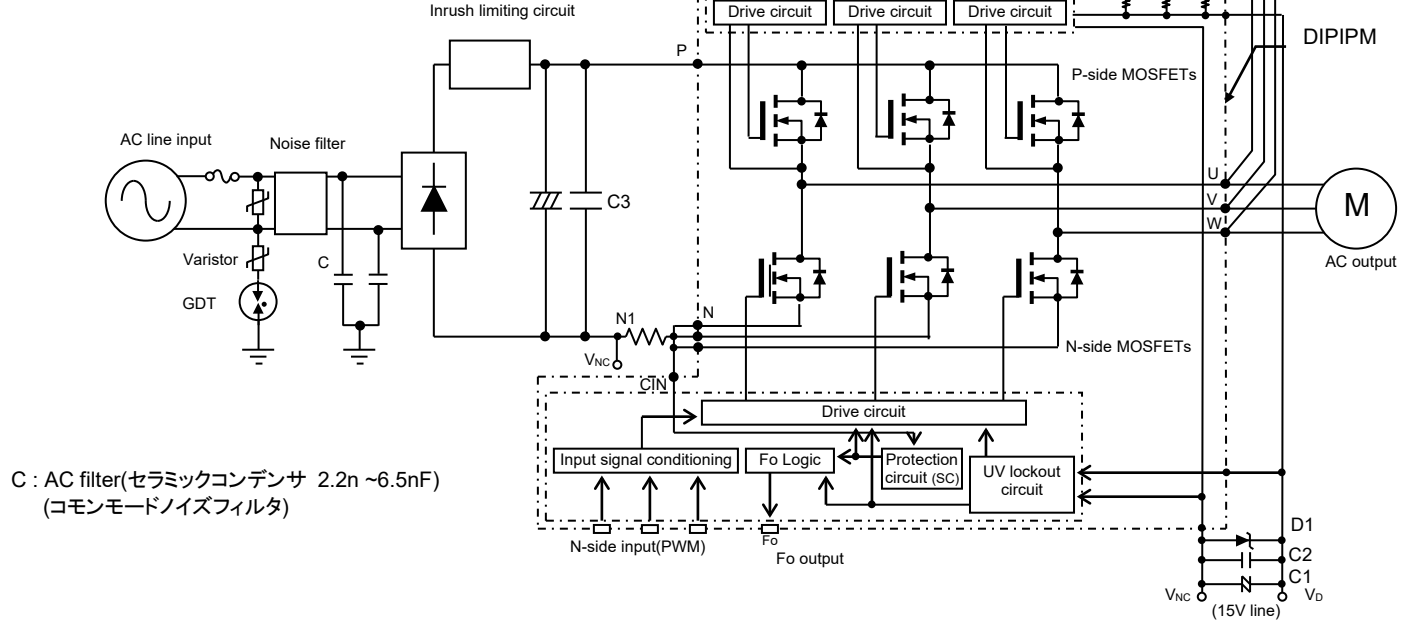
C1:温度・周波数特性に優れた電解コンデンサ

注)容量値はPWM制御入力方式によって変わります。

C2:バイパスコンデンサ 0.22~2μF ノイズ除去用の温度、周波数、DC バイアス特性に優れたセラミックコンデンサ(B, R 特性など。)

C3:スナバコンデンサ 0.1~0.22μF程度(フィルムコンデンサなど)

D1:サージ保護用ツェナダイオード24V/1W



C : AC filter(セラミックコンデンサ 2.2n ~6.5nF)
(コモンモードノイズフィルタ)

図3-1-1システム接続例

MOSFET超小型DIPIPM シリーズ アプリケーションノート

3. 1. 2 インタフェース回路例 (直接入力時、1シャント抵抗時)

マイコン(MCU)やDSPなどと、DIPIPMを直接接続する場合のインタフェース回路例を示します。

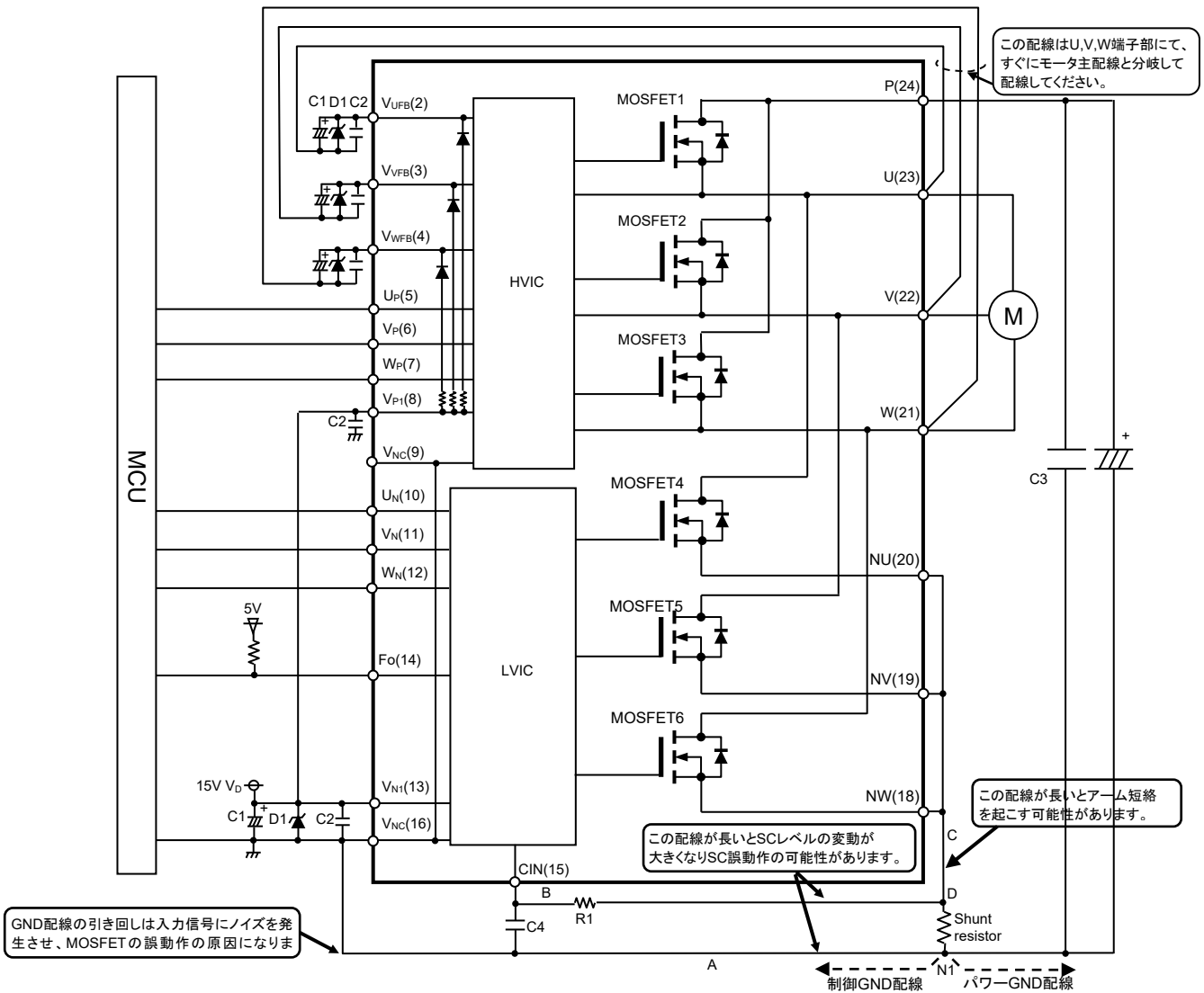


図3-1-2 インタフェース回路例(直接接続)

- (1) 制御側電源GNDとパワー側GNDの配線を共通のベタ配線で配線すると大電流が流れる/パワーGNDの変動の影響を受け誤動作の可能性がありますので、制御側電源GNDとパワー側GNDの配線は分けて配線し、N1点(シャント抵抗の端子部)にて一点接続としてください。
- (2) 制御電源端子部へ印加されたサージ電圧の吸収用にツェナーダイオードD1(ツェナー電圧24V、許容損失1W程度)を制御電源端子近傍への接続を推奨します。
- (3) サージ電圧による過電圧破壊を防止するために、平滑コンデンサとP、N1端子間の配線はできるだけ短くしてください。またP-N1端子間に0.1 μ -0.22 μ F程度のスナバコンデンサC3を挿入してください。
- (4) 短絡(SC)保護機能の誤動作防止用RCフィルタのR1、C4には温度補償用などバラツキの小さいものを推奨します。(CIN端子近傍への設置を推奨) また、その時定数は、短絡時に2 μ s以下で遮断できるように設定(1.5~2 μ s推奨)してください。遮断時間は、配線パターンによって変わりますので実システムにて十分評価してください。
- (5) A、B、Cの配線はMOSFETの動作に大きな影響をあたえるため、配線はできるだけ短く配線してください。
- (6) 短絡保護の誤動作防止のため、CIN端子への配線はシャント抵抗端子部近隣のD点で分岐し、できるだけ短くしてください。また、NU、NV、NW端子相互の接続は端子近傍で実施してください。
- (7) 各コンデンサはDIPIPMの端子近傍に設置してください。C1は、温度特性、周波数特性が優れた電解コンデンサ、C2は0.22 μ -2 μ Fでノイズ除去用の温度、周波数、DCバイアス特性に優れたセラミックコンデンサ(B、R特性などを推奨。)を推奨します。
- (8) 入力信号はハイアクティブです。IC内部で3.3k Ω (min)の抵抗でプルダウンしています。誤動作防止のため、入力信号配線はできるだけ短く配線してください。誤動作防止のためRCフィルタを挿入する場合は、入力のしきい値電圧を満足するように設定してください。専用HVICを採用しているため、MCUに直接接続することができます。(電気的絶縁にはなりません)
- (9) Fo端子はオープンドレインです。I_{Fo}=1mA以下となるような抵抗値で制御電源(5V、15V)にプルアップしてご使用ください。(I_{Fo}=プルアップ電源電圧/プルアップ抵抗値で概算できます。5Vにプルアップする場合、5k Ω 以上、10k Ω を推奨します)
- (10) HVICを採用しているため、絶縁素子は不要であり、MCUに直接接続することができます。(電気的絶縁にはなりません)
- (11) V_{NC}端子は、9ピン、16ピンの2ヶ所ありますが、内部で接続されていますので、外部では、どちらか一方のみ接続し他方はオープン状態で使用してください。
- (12) 制御ICの電源ラインに高周波の急峻なノイズが重畳されると、ICの誤動作が起きてFoを出力し、停止することがあります。制御電源ラインのノイズは、dV/dt \leq 1V/ μ s、Vripples \leq 2Vp-pとなるように電源回路を設計してください。

3. 1. 3 インタフェース回路例(フォトカプラ駆動)

フォトカプラを使用した場合の応用回路例を示します。

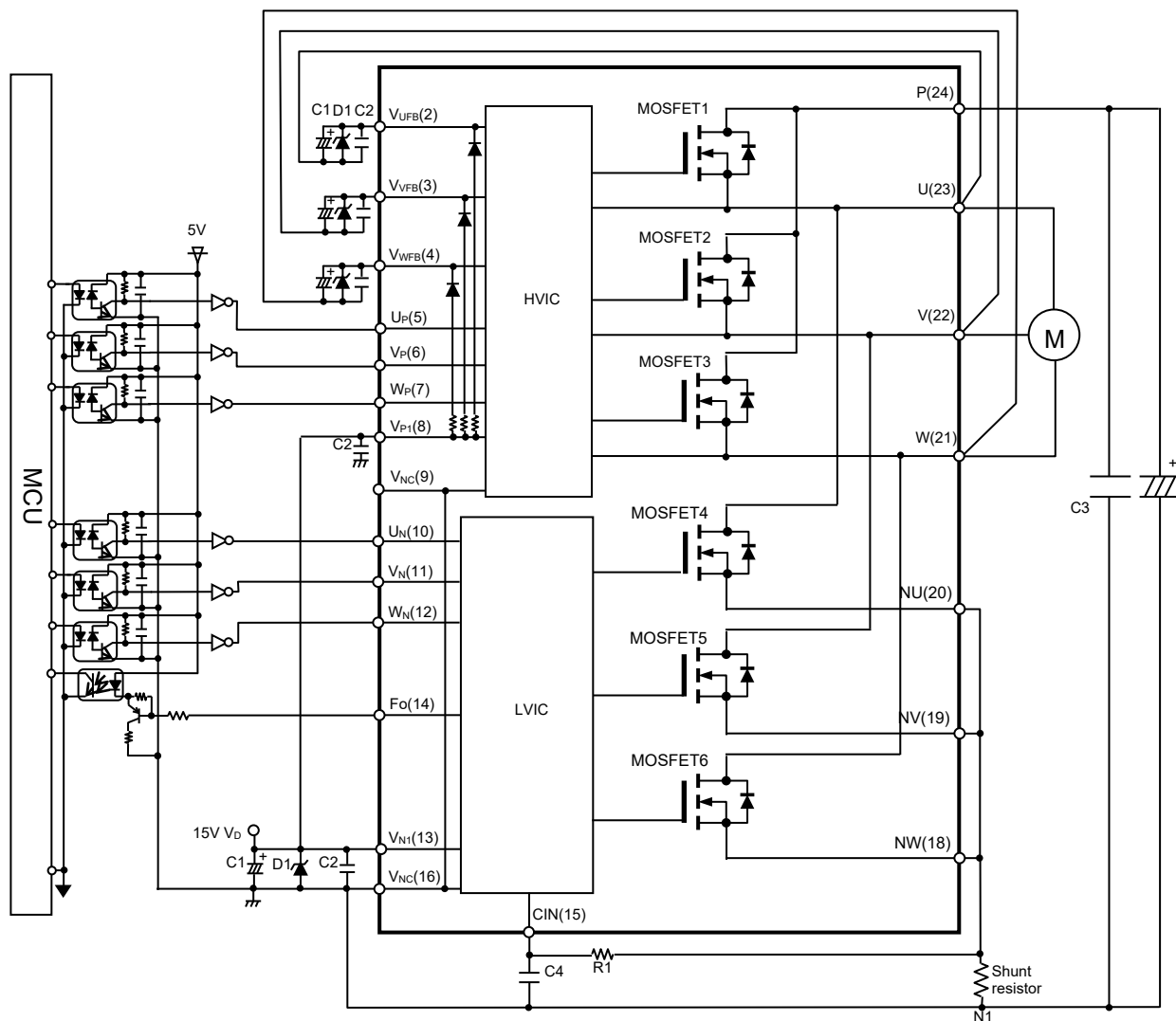


図3-1-3インタフェース回路例(フォトカプラ駆動)

注:

- (1) 高速フォトカプラ(高CMR)の使用を推奨します。
- (2) Foシンク電流 I_{Fo} の最大定格は1mAとなります。

3. 1. 4 N側ソース分割仕様(3シャント)動作時の外部SC保護回路例

N側ソース分割仕様(3シャント)で使用の場合は、そのまま3相のシャント抵抗の電圧をCIN端子に入力できませんので図3-1-4のような外部回路が必要となります。

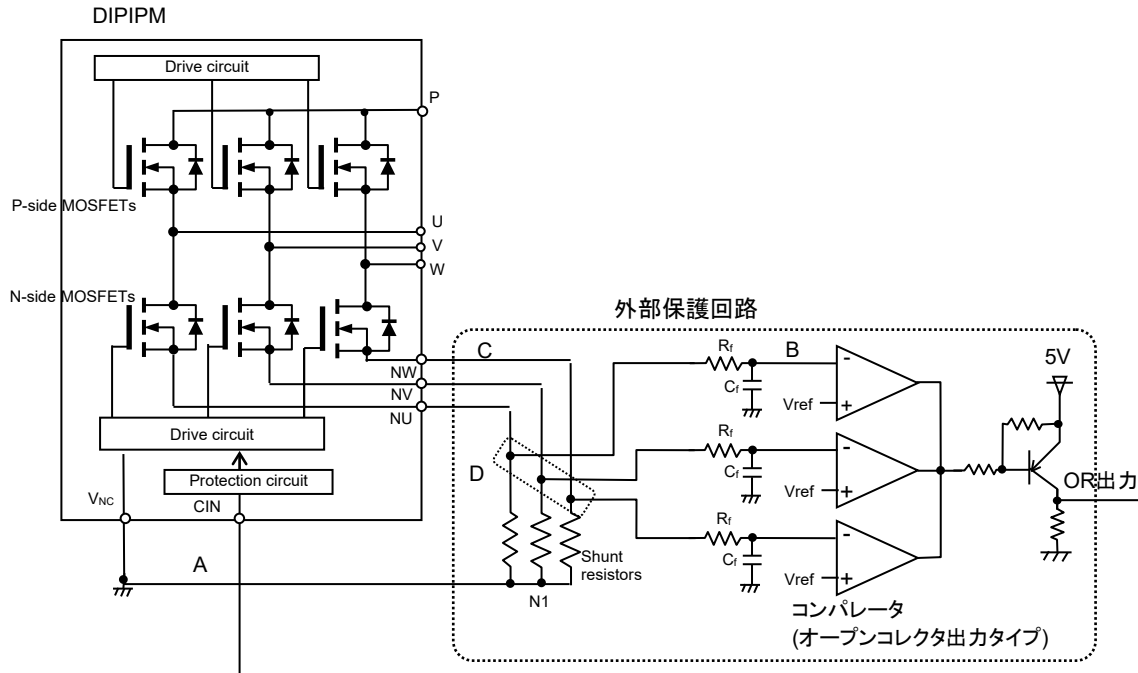


図3-1-4 外部保護回路例

注:

- (1) 短絡保護の誤動作防止用RCフィルタ($R_r C_r$)の時定数は、短絡時に $2\mu\text{s}$ 以下で遮断できるように設定してください。(1.5~ $2\mu\text{s}$ 推奨) 遮断時間は、配線パターン、コンパレータの反応速度などにも依存します。
- (2) しきい値電圧 V_{ref} は、DIPIPMの短絡トリップ電圧 $V_{\text{sc(ref)}}$ の規格値と同じにすることを推奨します。(typ.0.48V)
- (3) シャント抵抗値は、短絡保護トリップ電流値が規定の値(定格の1.7倍)以下となるように設定してください。
- (4) 誤動作防止のため、A、B、Cの配線は、可能な限り短くしてください。
- (5) コンパレータへの入力の配線は、シャント抵抗の端子部直近(D点)で分岐してください。
- (6) OR 出力のHighレベル(保護時出力)は、CIN端子の短絡トリップ電圧の最大値である0.53V以上となるように設定してください。
- (7) コンパレータ、 V_{ref} 及び C_r のGNDは、大電流が流れノイズなパワーGND配線にはつながらず、制御GND配線に接続してください。

3. 1. 5 DIPIPMの信号入力端子とFo端子

(1) 制御入力端子構造と接続例について

MOSFET 超小型DIPIPMの入力端子はハイアクティブ動作です。ハイアクティブ動作にすることで立上げ、立下げシーケンスに関して、フェイルセーフとなります。プルダウン抵抗(3.3kΩmin.)を内蔵しており、外付けのプルダウン抵抗は不要となります。図3-1-5に入力部ブロック図、表3-1-1に入力しきい値電圧規格を示します。

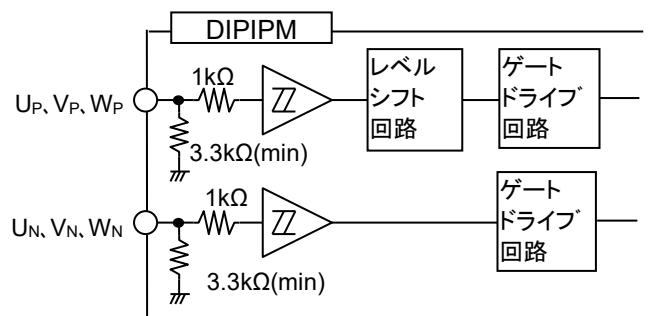


図3-1-5入力部ブロック図

表3-1-1 入力しきい値の規格($V_D=15V, T_{\text{ch}}=25^\circ\text{C}$)

項目	記号	条件	最小値	標準値	最大値	単位
1. 入力オンしきい値電圧	$V_{\text{th(on)}}$	$U_P, V_P, W_P - V_{\text{NC}}$	—	2.1	2.6	V
2. 入力オフしきい値電圧	$V_{\text{th(off)}}$	$U_N, V_N, W_N - V_{\text{NC}}$ 端子間	0.8	1.3	—	
3. 入力しきい値ヒステリシス電圧	$V_{\text{th(hys)}}$		0.35	0.65	—	

DIPIPMには、許容最小入力パルス幅の規定があります。規定以下のパルス幅の入力信号には反応しない可能性があります。詳細は、データシートを参照ください。

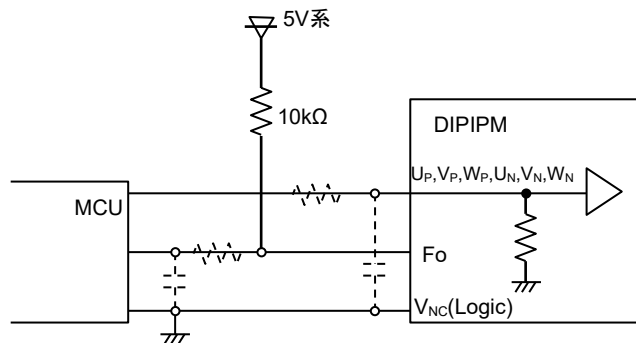


図3-1-6入力端子接続例

注) 入力のRCカップリングは、応用システムに使われるPWM制御入力方式、入力配線パターンにより変わります。DIIPM入力信号部はIC内部で3.3kΩ(min)の抵抗プルダウンを行っています。入力信号ラインに抵抗を挿入される場合は、DIIPMの入力しきい値を満足する設定としてください。

(2) Fo端子部内部回路構成

Fo端子はオープンドレインです。外部I/F系の電源(5V系電源など)へプルアップしてください。(図3-1-6) 図3-1-7にFo端子のV-I特性(代表例)を示します。Fo信号のシンク電流の最大定格は1mAです。Fo出力でカプラなどを駆動する場合、駆動能力が十分であるか注意願います。

表3-1-2 Fo信号電気的特性

項目	記号	条件	最小値	標準値	最大値	単位
エラー出力電圧	V _{FOH}	V _{Sc} =0V, F _o =10kΩ 5V プルアップ	4.9	—	—	V
	V _{FOL}	V _{Sc} =1V, I _{Fo} =1mA	—	—	0.95	V

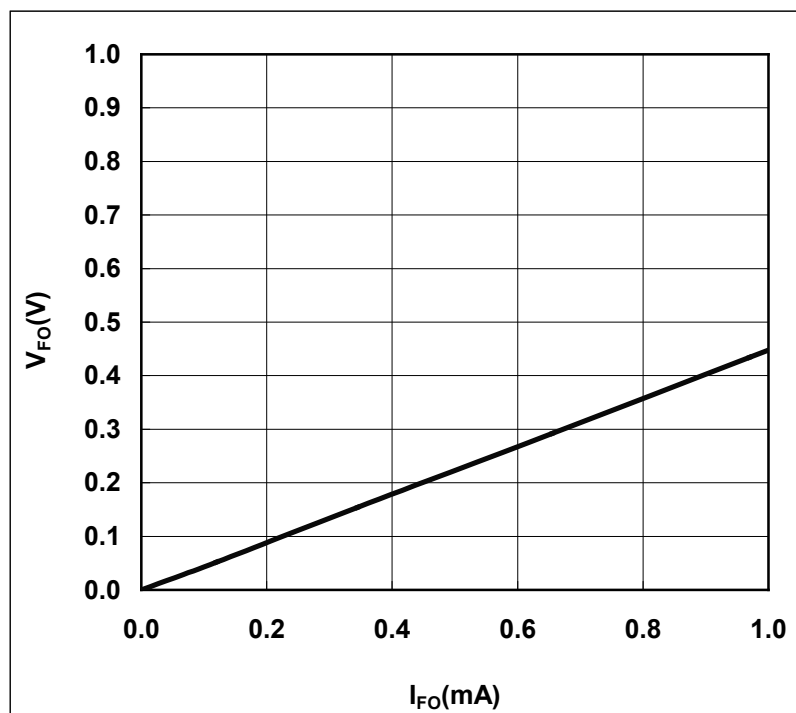


図3-1-7 Fo端子のV-I特性(V_b=15V, T_{ch}=25°C, 代表例)

3. 1. 6 スナバコンデンサの接続

サージ電圧による耐電圧破壊を防止するために、平滑コンデンサとDIIPMのP端子及びN1点(シャント抵抗端子)間の配線はできるだけ短くしてください。また、0.1~0.22 μ F/630V程度のCスナバをDIIPMの直近に挿入してください。

図3-1-8のように、スナバコンデンサの挿入位置として①と②が考えられます。サージ電圧を最大限に除去するためにはスナバコンデンサを②の位置に設置する必要がありますが、シャント抵抗にはスナバコンデンサを通して充放電電流(配線インダクタンスとスナバコンデンサの共振電流)が流れます。配線インダクタンスが大きい場合、この充放電電流で短絡保護回路が動作する場合がありますので注意が必要です。

シャント抵抗の外(①の位置)にスナバコンデンサを設置する場合は、サージ電圧を最大限に除去するためにAの配線を短くし、③のように設置することをご検討ください。

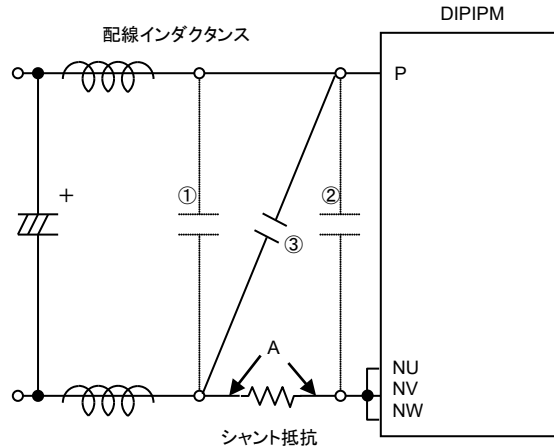


図3-1-8スナバ接続回路

3. 1. 7 外部シャント抵抗周辺回路の接続

DIIPMの短絡保護機能を利用するためには、DIIPMの外部に電流検出用のシャント抵抗が必要です。DIIPMとシャント抵抗の配線が長くなりますと、配線パターンのインダクタンスによって、サージが発生し、DIIPM内部のICを破壊することがあります。

DIIPMとシャント抵抗間の配線パターンは、配線インダクタンスが小さくなるよう、極力短く配線してください。MOSFETは、ターンオフ速度が速いため、シャント抵抗にはリード端子のない面実装タイプを使用して、寄生インダクタンスが小さくなるようにしてください。(NU,NV,NW端子からN1までの配線インダクタンスは、シャント抵抗のインダクタンス分も合わせて10nH以下となるようにしてください。)

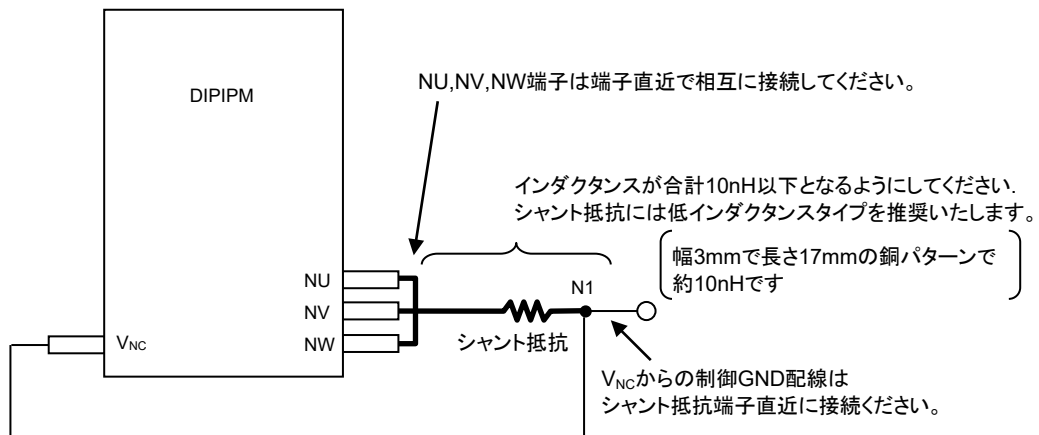


図3-1-9シャント抵抗周辺配線(1シャント抵抗使用時)

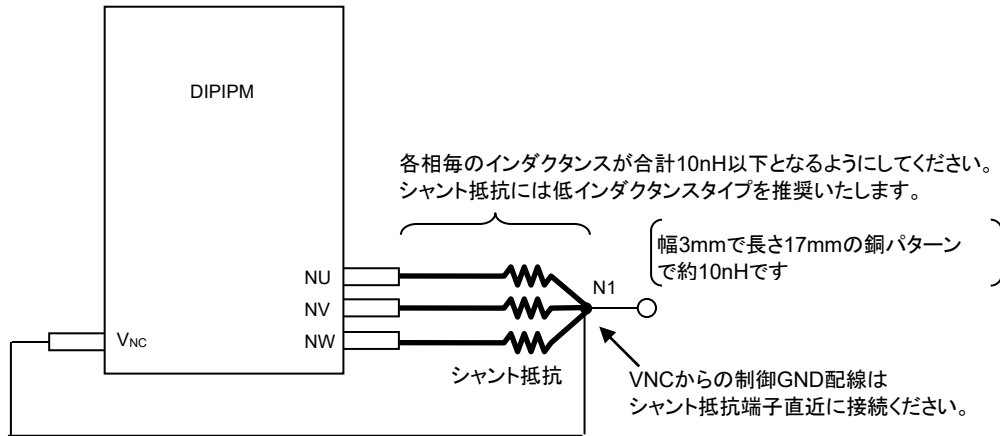


図3-1-10シャント抵抗周辺配線(3シャント抵抗使用時)

外部シャント抵抗周辺の配線は、その配線インダクタンスによってDIIPMの動作にさまざまな影響を与えます。極力短く設計し、配線インダクタンスを抑えるようにしてください。

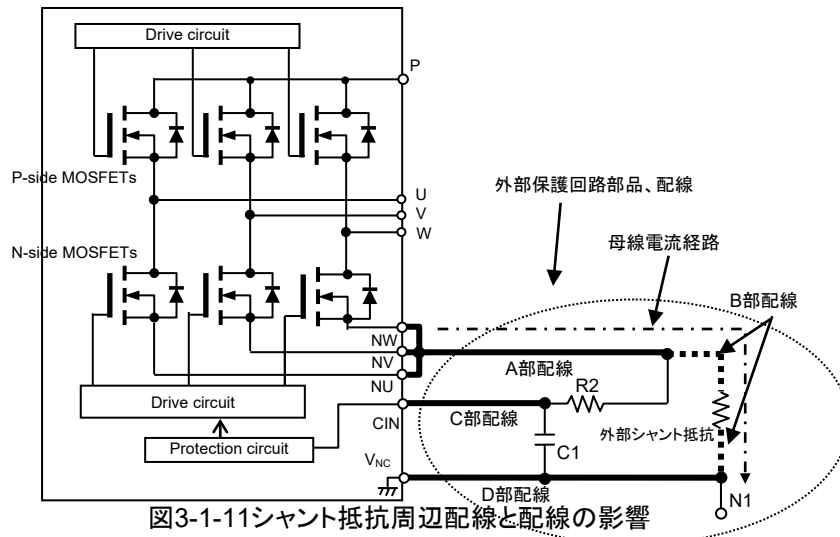


図3-1-11シャント抵抗周辺配線と配線の影響

(1) A部配線パターンの影響

N側MOSFETゲートは V_{NC} 基準で動作します。図3-1-11中のA部配線パターンが長いと、MOSFETのスイッチング時にA部配線インダクタンスによる電圧変動が発生し、MOSFETのソース電位を変動させ異常動作する要因となります。

(2) B部配線パターンの影響

B部配線は短絡保護レベルに影響を与えます。短絡保護は $CIN - V_{NC}$ 間に発生する電圧 (typ. 0.48V) で動作します。B部配線が長いと、この配線インダクタンスにより発生するサージ電圧により、短絡保護レベルが低下します。

CIN , V_{NC} は、B部配線を含まないように外部シャント抵抗の両端に接続してください。

(3) C部配線パターンの影響

外部シャント抵抗に発生するノイズを除去するために、 $R2C1$ フィルタ回路を接続しますが、C部配線が長いと、フィルタ効果が小さくなり、誘導ノイズを受けやすくなります。 $R2C1$ フィルタは CIN , V_{NC} 端子近傍に設置してください。

(4) D部配線パターンの影響

(1)~(3)までの項目すべてに影響があります。GND配線は極力短くする必要があります。

3. 1. 8 PCB設計時の注意点について

超小型DIIPMシリーズ用のPCBパターンを設計される上でパターン上の主な注意点を図3-1-12に示します。

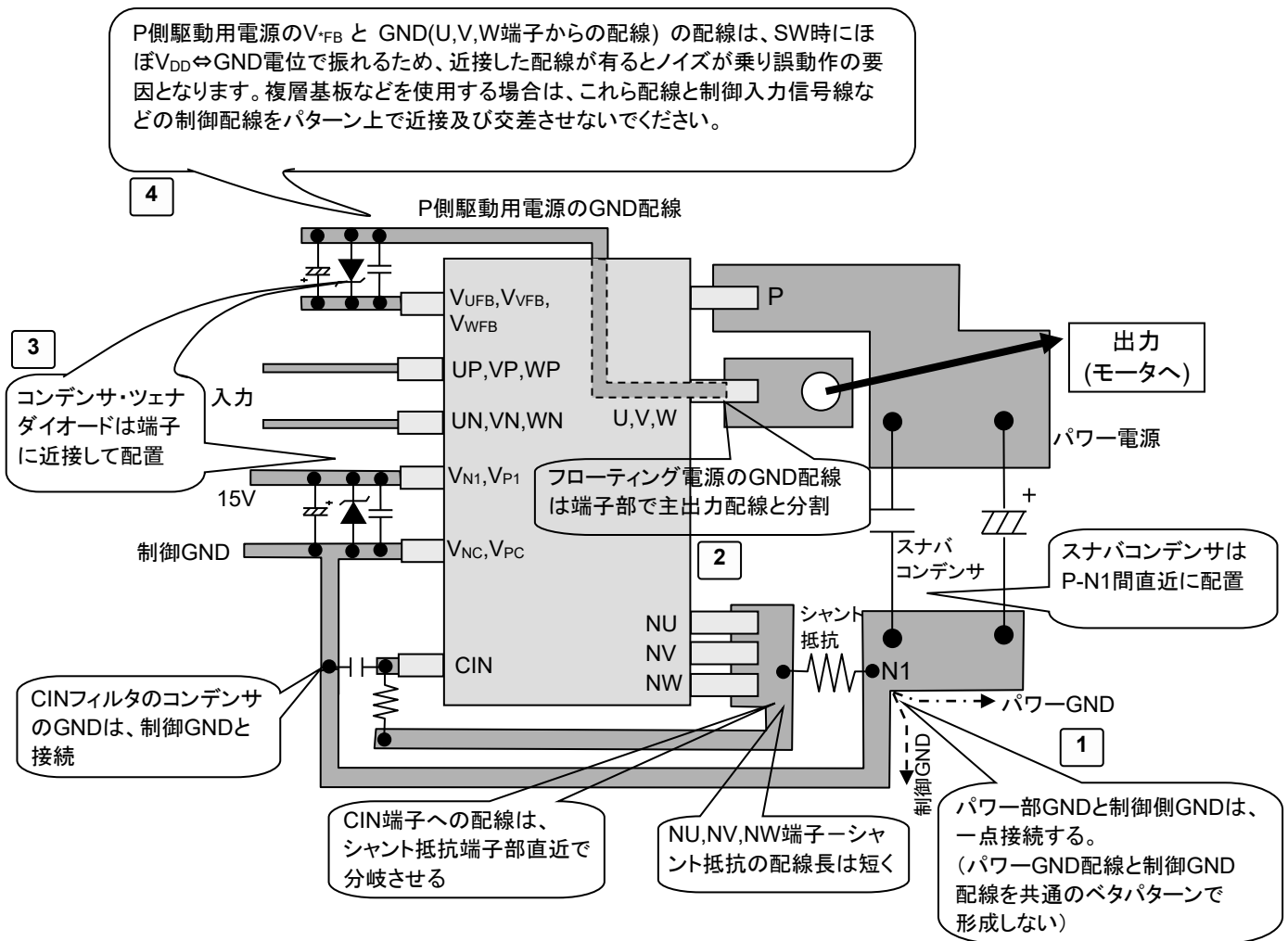


図3-1-12 PCBパターン設計時の注意点

表3-1-3 PCBパターンにおけるトラブル事例

	パターン事例	トラブル発生事例
1	・パワー-GNDと制御GNDがオーバーラップして配線	パワー-GNDに流れる不連続な大電流によるdi/dtと配線の寄生インダクタンスによって生じるサージが、制御GNDに伝搬して制御GNDレベルが変動し、同GNDを基準としている入力端子に誤信号が入力されMOSFETが誤オンしてアーム短絡発生。
	・GND配線にループあり	GNDループに迷走電流が流れることでGND電位変動が発生し、入力端子に誤信号が入力されMOSFETが誤オンしてアーム短絡発生。
2	N端子-N1間配線が長い	配線が長いことにより寄生インダクタンスが大きくなり、スイッチングによって発生するdi/dtによりサージが発生し、以下のようなトラブルが発生。 ・VS電位(出力端子電位)の低下によるHVIC誤動作の発生 ・ICの過電圧破壊の発生 MOSFETターンオフ速度が速いため、インダクタンスの小さい表面実装タイプのシャント抵抗を強く推奨します。
3	コンデンサ・ツェナダイオードが無し、或いは位置が端子から離れている	制御ICの過電圧破壊や誤動作の発生。
4	P側駆動電源配線と入力配線が近接・平行に配線	P側駆動用電源配線とDIPへの制御入力配線間の浮遊容量を通してクロストークノイズが伝搬し、入力端子に誤信号がはいりMOSFETが誤オンしてアーム短絡が発生。

3. 1. 9 DIIPMの並列動作について

図3-1-13にDIIPMを2台並列接続した場合の回路例を示します。DIIPMの下アームMOSFETのゲートチャージは、DIIPM 1では①の経路、DIIPM 2では②の経路で行われます。この経路が長くなりますと、配線インダクタンスも大きくなりますのでスイッチング動作に影響を与える可能性があります。(上アームのブートストラップコンデンサの充電にも影響を与える可能性があります。) また、ノイズの影響を受け易く誤動作の要因となります。並列数が多ければ多いほど、このGNDパターンは長くなりますので、GND電位の変動による他の回路への影響(電源、保護回路動作等)も考えられますので推奨いたしません。電気的には、動作可能と考えますが、上記項目に注意し評価検討をお願いします。

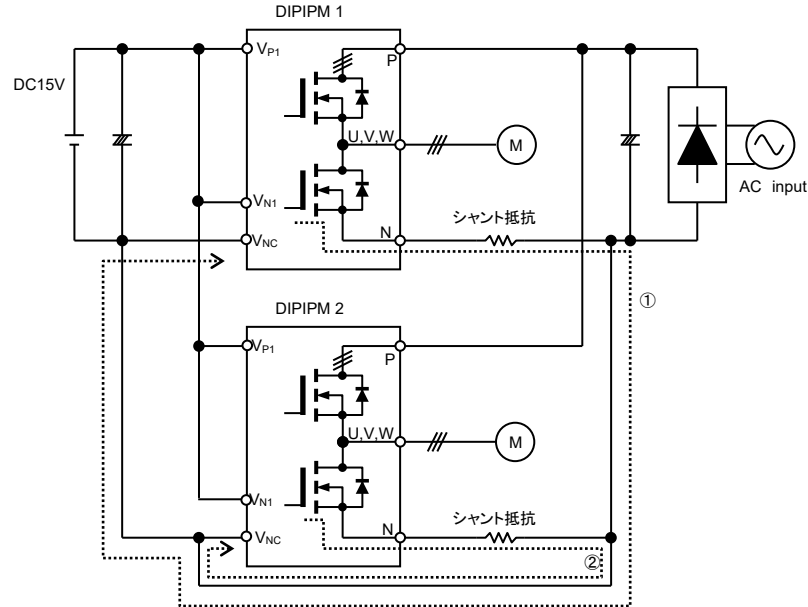


図3-1-13 並列動作

また、同一パッケージ内の素子の並列使用(例:U相とV相のMOSFETを並列接続で使用)につきましても、素子特性のバラツキによるSW時間、オン電圧の差異などにより、片側のMOSFETへの電流集中の可能性もありますので推奨いたしません。

3. 1. 10 SOA(スイッチング時、短絡時)

DIIPMのSOAについて下記に示します。(規定はしていません)

- V_{DSS} : DIIPM内部のMOSFETのドレイン-ソース間電圧の最大定格
- V_{DD} : P-N間電源電圧
- $V_{DD(surge)}$: V_{DD} に、P-N電源間につながる電解コンデンサとIPMのP-N間の配線インダクタンスにより発生するサージ電圧を加えた電圧を表します。
- $V_{DD(prot)}$: 自己保護可能なP-N間電源電圧を表します。

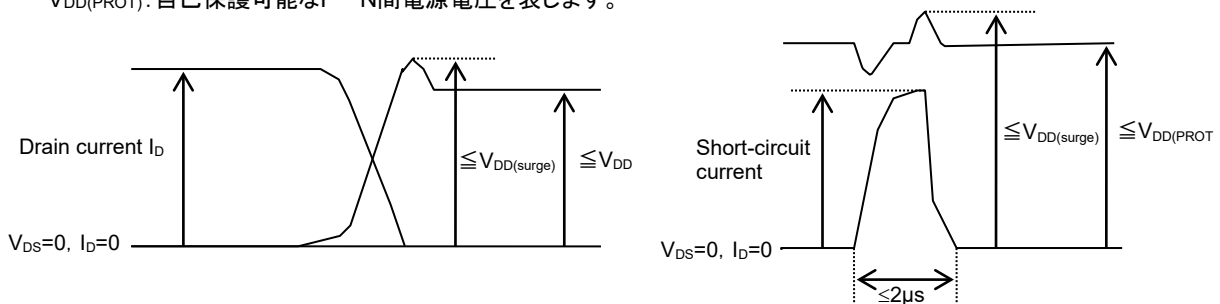


図3-1-14 スwitchング、短絡時のSOA

スイッチングターンオフ時

V_{DSS} はDIIPMに搭載されるMOSFETの耐圧500Vを示しています。この値より、DIIPM内の配線インダクタンスで発生するサージ電圧(マージン等考慮し50V以下)を引いたものがサージ込みの定格 $V_{DD(surge)}=450V$ となります。さらに、P-N電源間に接続される電解コンデンサとIPMのP-N間の配線インダクタンスにより発生するサージ電圧(50V以下)を引いたものが、定常時の定格の $V_{DD}=400V$ となります。

短絡時

V_{DSS} はDIIPMに搭載されるMOSFETの耐圧500Vを示しています。この値より、DIIPM内の配線インダクタンスで発生するサージ電圧(マージン等考慮し50V以下)を引いたものがサージ込みの定格 $V_{DD(surge)}=450V$ となります。さらに、P-N電源間に接続される電解コンデンサとDIIPMの間の配線インダクタンスにより発生するサージ電圧(50V以下)を引いたものが短絡時の定格 $V_{DD}=400V$ となります。

3. 1. 11 短絡SOA

MOSFET 超小型DIPIPMの短絡SOAカーブ(代表例)を以下に示します。

条件: $V_{DD}=400V$ 、 $T_{ch}=125^{\circ}C$ スタート、非繰り返し、 $V_{DSS}\leq 500V$ 、 $V_{DD(surge)}=450V$ (サージ電圧含む)、負荷短絡(2m負荷)

図3-1-15の場合、PSM05S93E5のMOSFETのONきい値電圧min.品(飽和電流が大となるもの)の場合の代表例で、図に示した条件時に定格の約12倍のドレイン電流が流れ、この時のMOSFETのON期間が約14.7 μs 以下であればターンオフできる実力があることを示しています。本データは代表例であり制御電源電圧 V_D 、主回路電圧(V_{DD})によってMOSFETの短絡動作範囲は変わりますので、RCフィルタの設定はSOAにマージンを持って設定してください。

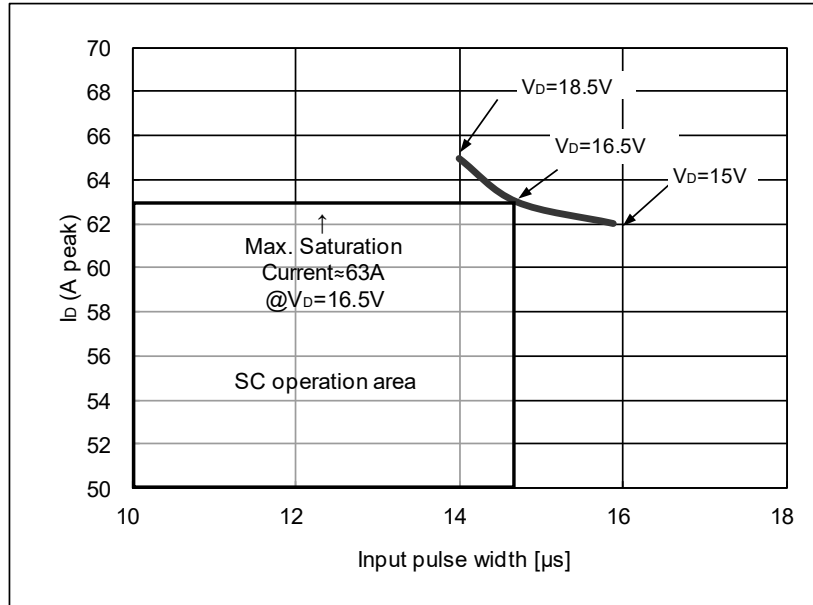


図3-1-15 PSM05S93E5の短絡SOAカーブ(代表例)

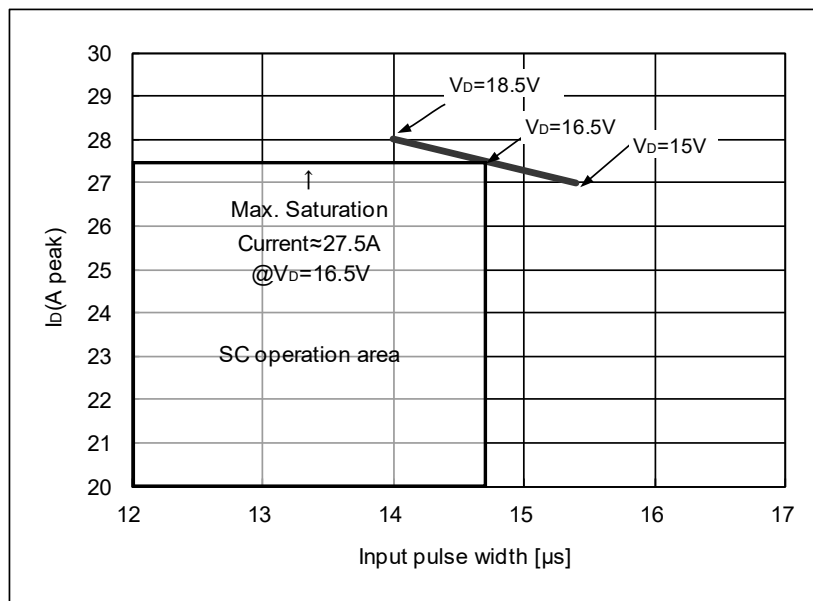


図3-1-16 PSM03S93E5の短絡SOAカーブ(代表例)

3. 1. 12 動作寿命について

DIIPMの動作時は、MOSFETのチャンネル温度変化(ΔT_{ch})が繰り返し発生します。この ΔT_{ch} と温度変化のサイクル数は、デバイスの寿命に影響を及ぼします。図3-1-17にMOSFETの ΔT_{ch} とサイクル数の寿命カーブを示します。

($\Delta T_{ch}=46, 88, 98K$ の3ポイントで実施したデータで、それぞれの故障率0.1, 1, 10%の点を回帰直線で表したものです。)

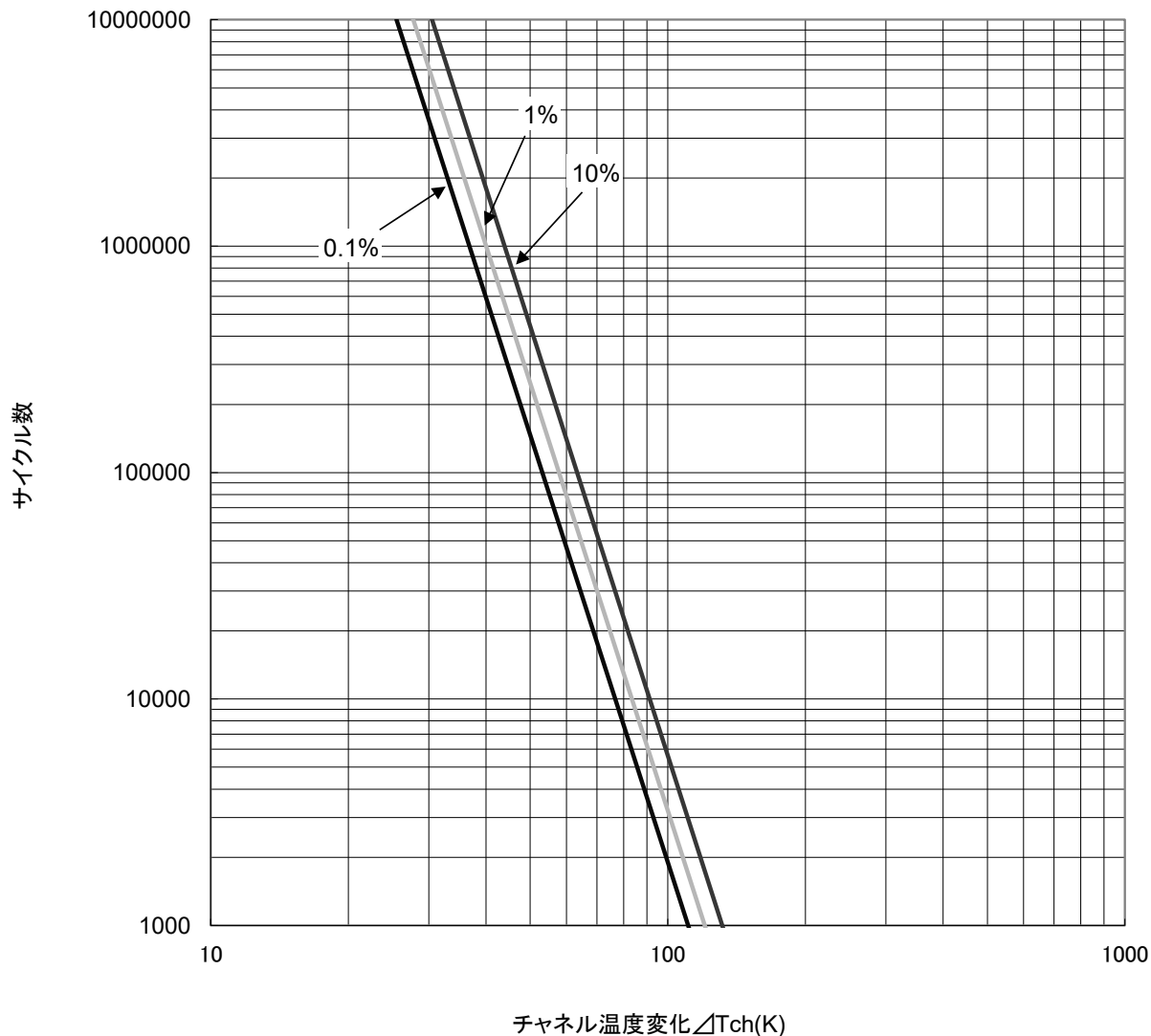


図3-1-17 DIIPMの寿命カーブ

3. 2 損失と放熱設計

3. 2. 1 損失計算方法(例)

平均電力損失簡易計算式について

●適用範囲

VVVFインバータへの応用に際してパワー素子を選定(比較)するための、通常動作時の総合損失の算出が可能です。
装置の熱設計(限界設計)には適用できません。

●仮定条件

- ①正弦波電流出力PWM制御VVVFインバータ
- ②正弦波・三角波比較によるPWM信号発生
- ③PWM信号のデューティー振幅は $\frac{1-D}{2} \sim \frac{1+D}{2}$ (%/100) で変化 D: 変調率
- ④出力電流にはリップルがなく $I_{DP} \cdot \sin x$ が流れる
- ⑤出力電流に対する負荷力率は $\cos\theta$ 、スイッチングに対する負荷は純インダクタンス

●式の算出

PWM信号のデューティー変化は、位相 x に対して $\frac{1+D \times \sin x}{2}$ となり、これが出力電圧変化に相当しますから、

出力電流と電圧の関係を示す力率 $\cos\theta$ により、出力電流の任意の位相 x での出力電流とPWMデューティーは、

$$Output \ current = I_{DP} \times \sin x$$

$$PWM \ Duty = \frac{1 + D \times \sin(x + \theta)}{2}$$

従って、位相 x での V_{DS} と V_{SD} は

$$V_{DS} = V_{DS}(@ I_{DP} \times \sin x)$$

$$V_{SD} = (-1) \times V_{SD}(@ I_{SDP}(= I_{DP}) \times \sin x)$$

以上から、トランジスタの静損失は、

$$\frac{1}{2\pi} \int_0^{\pi} (I_{DP} \times \sin x) \times V_{DS}(@ I_{DP} \times \sin x) \times \frac{1 + D \sin(x + \theta)}{2} \bullet dx$$

同様にフリーホイールダイオードの静損失は、

$$\frac{1}{2\pi} \int_{\pi}^{2\pi} ((-1) \times I_{DP} \times \sin x) ((-1) \times V_{SD}(@ I_{DP} \times \sin x) \times \frac{1 + D \sin(x + \theta)}{2}) \bullet dx$$

一方、トランジスタの動損失はPWMデューティーに依りませんので

$$\frac{1}{2\pi} \int_0^{\pi} (P_{Sw(on)}(@ I_{DP} \times \sin x) + P_{Sw(off)}(@ I_{DP} \times \sin x)) \times fc \bullet dx$$

またフリーホイールダイオードの動損失は、図3-2-1のように理想化すると

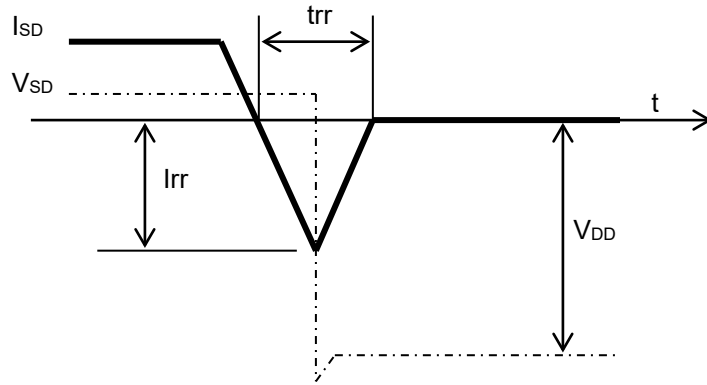


図3-2-1 FWDi部の動損失

$$P_{sw} = \frac{I_{rr} \times V_{DD} \times trr}{4}$$

リカバリーが発生するのは、出力電流周期の半分ですので、動損失は、

$$\frac{1}{2} \int_{\pi}^{2\pi} \frac{I_{rr} (@ I_{DP} \times \sin x) \times V_{DD} \times trr (@ I_{DP} \times \sin x)}{4} \times fc \cdot dx$$

$$= \frac{1}{8} \int_{\rho}^{2\pi} I_{rr} (@ I_{DP} \times \sin x) \times V_{DD} \times trr (@ I_{DP} \times \sin x) \times fc \cdot dx$$

●インバータへの応用の際の一般的な注意点

- ・出力電流1周期分を多数分割し、各点における実際の「PWMデューティ」、「出力電流」、「その電流におけるV_{DS}、V_{SD}、P_{sw}」に基づいて計算し加算する必要があります。
- ・PWMデューティは信号の発生方法に依存します。
- ・出力電流波形や出力電流とPWMデューティの関係は信号の発生方法、負荷、その他の種々の要因に依存しますので、実波形を基にします。
- ・MOSFETは、1チップでトランジスタ及びダイオードとして動作するため、その損失は、トランジスタ部及びダイオード部ロス合計となります。
- ・V_{DS}はT_{ch}=125°Cの値を使用します。
- ・P_{sw}はT_{ch}=125°Cハーフブリッジ動作時の値を使用します。

3. 2. 2 温度上昇の考え方と計算例

DIIPMの代表特性をもとに損失計算を行った結果を、実効電流 I_o とキャリア周波数特性(代表例)として図3-2-2に示します。

条件: $V_{DD}=300V$, $V_D=V_{DB}=15V$, $P.F=0.8$, $V_{DS(on)}=Typ.$, スイッチングロス=Typ.値, $T_{ch}=125^{\circ}C$, $T_f=100^{\circ}C$
 $R_{th}(ch-c)=規格 max.$, $R_{th}(c-f)=0.3^{\circ}C/W(1/6モジュール)$, シミュレーションモデル 3相変調 正弦波出力 60Hz

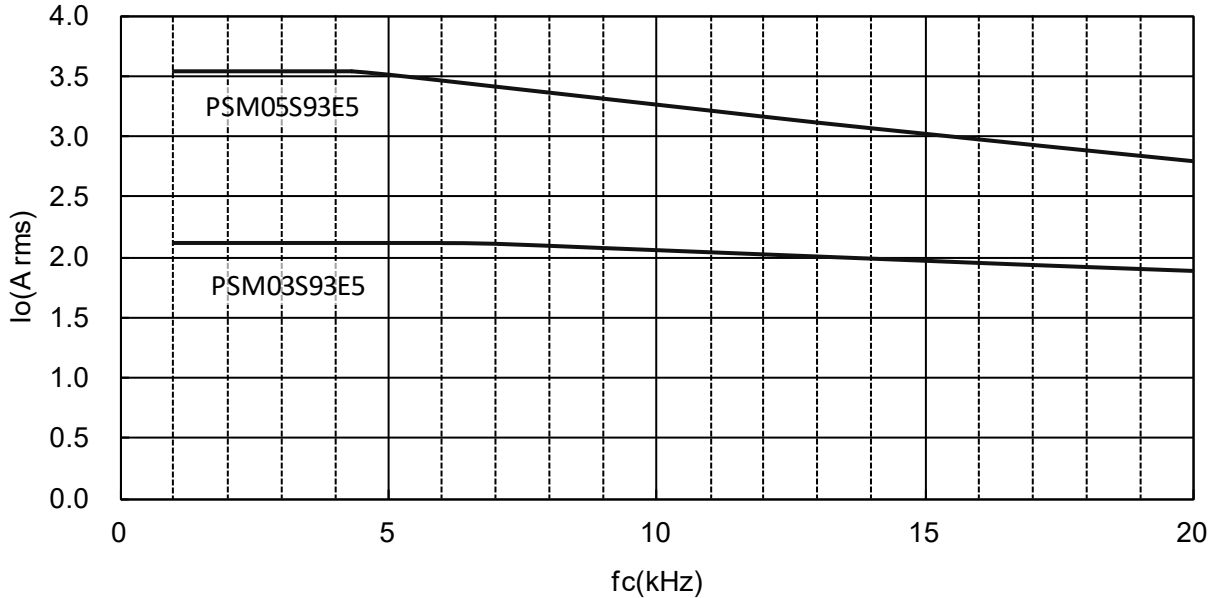


図3-2-2 キャリア周波数－実効電流特性(代表例)

図3-2-2の特性(計算値代表例)は、ヒートシンク温度 $T_f=100^{\circ}C$ でインバータ動作した場合に、MOSFETのチャネル温度 T_{ch} が、安全動作するための平均動作チャネル温度 $125^{\circ}C$ まで上昇する時に流し得ることのできる許容実効電流 I_o を表しています。この特性は、制御方式、モーター種等で変わります。また、定格以上の電流は、連続して流さないようにしてください。

インバータ損失等は、三菱半導体ホームページ(URL <http://www.MitsubishiElectric.co.jp/semiconductors/>)で公開の損失計算ソフトを使用して計算することができます。

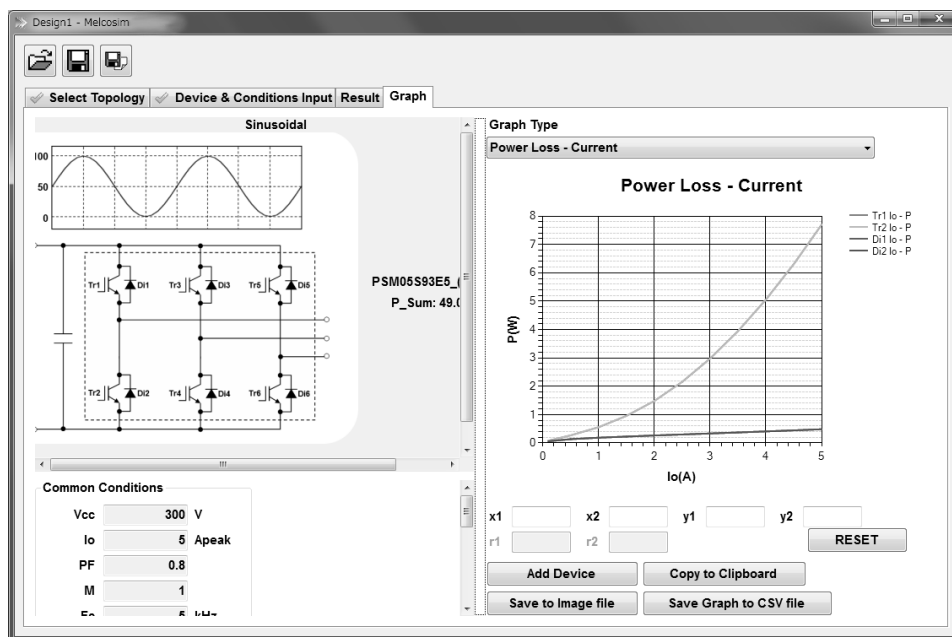


図3-2-3 損失計算ソフト画面例

3.3 ノイズ・静電気耐量

3.3.1 測定回路

DIPIPMでのノイズ試験に関しては、図3-3-1の測定回路、条件で±2.0kV以上の耐量を確認しています。ノイズ耐量は、ノイズ試験の環境、制御基板配線パターン、部品配置等に大きく依存しますので実システムでの確認を行ってください。

測定回路

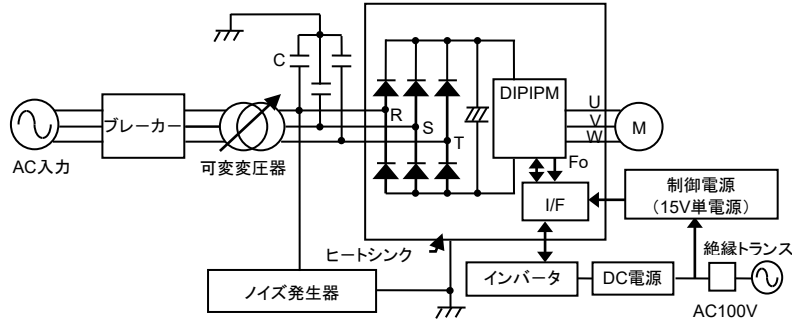


図3-3-1ノイズ試験回路

15V単電源方式、モータはIMで実施、マイコンからのPWM信号はフォトカプラ入力
C1: ACラインコモンモードフィルタ4700pF

測定条件

$V_{DD}=300V$ 、 $V_D=15V$ 、 $T_a=25^\circ C$ 、無負荷

ノイズ印加方法: ACライン(R、S、T)より印加 周期 $T=16ms$ 、時間幅 $tw=0.05\sim 1\mu s$ 、Random入力

3.3.2 対策と注意事項

DIPIPMは、設計時に内部配線の最適化による低インダクタンス化、絶縁構造の最適化による漏れ電流の低減を行うことで、部品を削減しノイズ耐量を確保していますが、回路パターンなどによって制御部にノイズが回り込み短絡や短絡保護の誤動作が発生する場合があります。その場合には、図3-3-2のような対策をご検討ください。

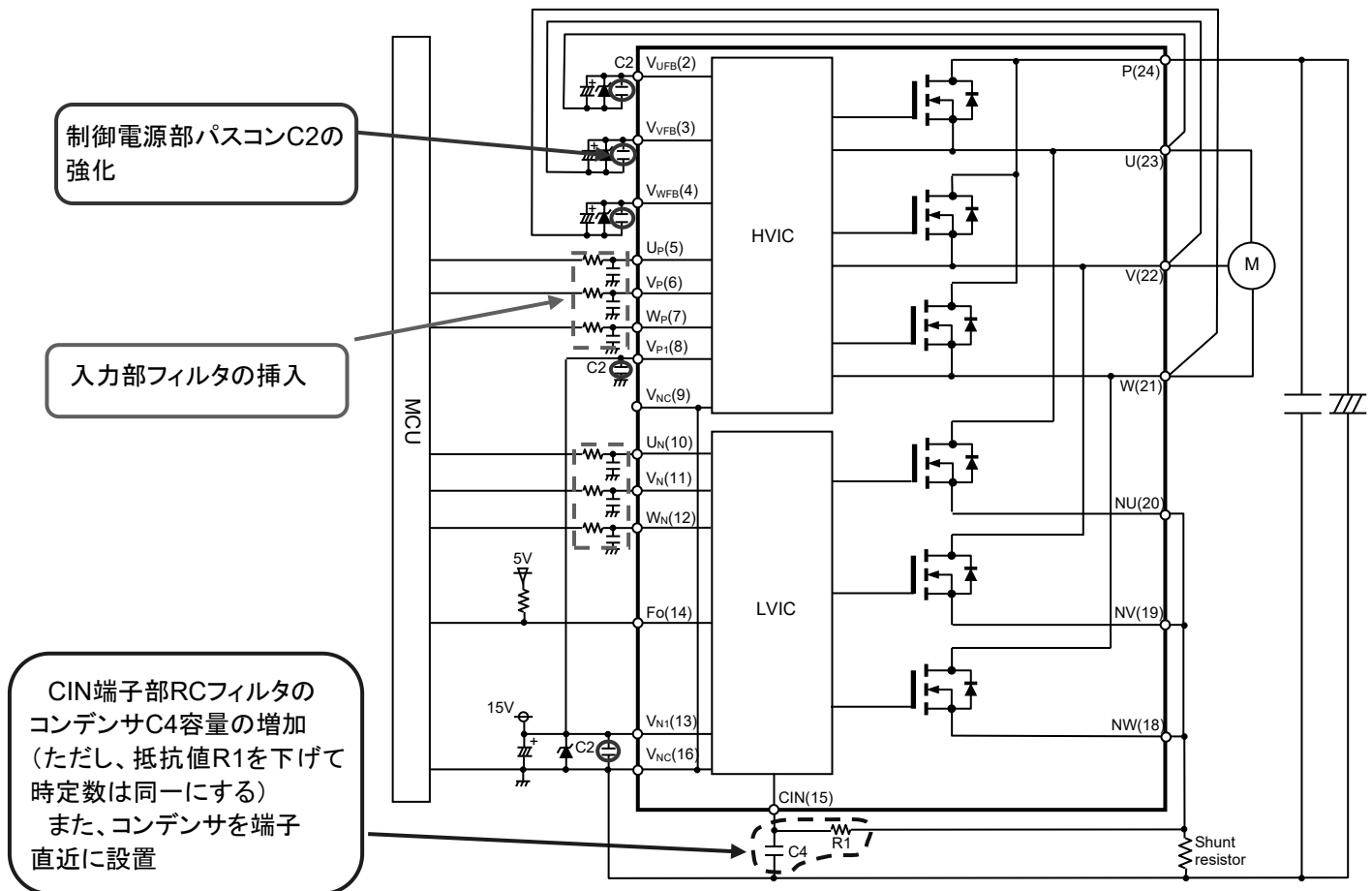


図3-3-2ノイズ誤動作時対策案

3.3.3 静電気耐量について

図3-3-3、4のようにMM法にてDIIPM各端子- V_{NC} or N端子間に正・負の電圧を1回印加し、印加前後の端子のV-I特性の変化を確認しています。表3-3-1に静電気耐量を示します。

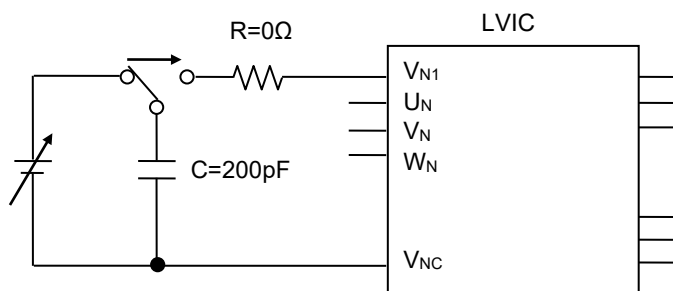


図3-3-3静電気耐量評価回路例(V_{N1} 端子評価時)

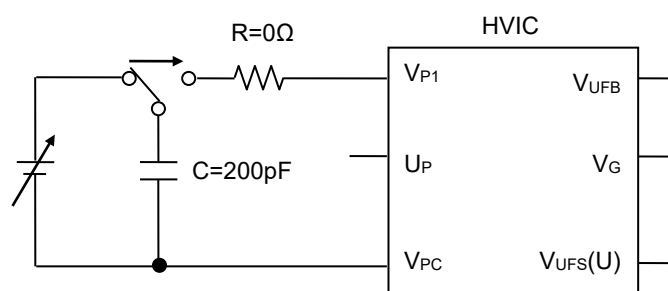


図3-3-4静電気耐量評価回路例(V_{P1} 端子評価時)

表3-3-1: 静電気耐量(代表例)

条件: サージ電圧を1回印加し耐圧劣化に至った電圧(kV)

0.1kV毎に装置の限界電圧(± 4.0 kV)まで実施。

破壊有無は、静電気サージ印加端子のV-I特性にて確認。

[制御部] 内部回路構成同一のため各品種共通

端子	+	-
UP, VP, WP- V_{NC} 間	0.6	0.7
V_{P1} - V_{NC} 間	1.3	1.1
V_{UFB-U} , V_{VFB-V} , V_{WFB-W} 間	1.5	1.9
UN, VN, WN- V_{NC} 間	0.6	0.6
V_{N1} - V_{NC} 間	4.0以上	2.8
CIN- V_{NC} 間	0.3	0.5
FO- V_{NC} 間	0.5	1.1

[パワー部]

・PSM05S93E5

端子	+	-
P-NU, NV, NW間	1.8	3.2
U-NU, V-NV, W-NW間	4.0以上	4.0以上

・PSM03S93E5

端子	+	-
P-NU, NV, NW間	1.4	3.9
U-NU, V-NV, W-NW間	4.0以上	4.0以上

第4章 ブートストラップ回路動作

4.1 ブートストラップ回路動作

DIIPMでは、ブートストラップ回路を用いたフローティング電源により、通常のインバータ回路駆動時に必要な4つの独立電源(P側MOSFET駆動用3相分+N側MOSFET駆動用)をN側駆動用制御電源1つで動作させることができます。

ブートストラップ回路は、図4-1-1に示すとおりブートストラップダイオード(以下BSD)とブートストラップコンデンサ(以下BSC)、電流制限抵抗で構成されます。(MOSFET 超小型DIIPMシリーズは、BSDと制限抵抗を内蔵しており、BSCを外付けすることでブートストラップ回路を構成可能です。)

P側MOSFETの駆動にBSCを電源として使用し、P側MOSFETオン時のゲートチャージ及び、P側MOSFETの駆動IC内ロジック回路へ回路電流を供給します。(図4-1-2 コンデンサが電源の代わりであるため、その電流供給能力には制限があり、ブートストラップ回路によるP側駆動は、比較的消費電流が小さいDIIPMに特に適した方法です。)

回路駆動により消費された電荷は、インバータ動作中に各相の出力端子(U端子など)の電位がGNDレベル付近まで下がることで、N側15V制御電源から制限抵抗、BSDを通して、コンデンサに充電されます。

ただし、P側素子のSWシーケンス、BSCの容量など使用条件によっては、必要な電荷量に対して十分な充電が行われず、BSCの電位が電源電圧低下(UV)保護レベル以下に低下し、P側MOSFETのSW停止やゲート電圧(コンデンサ電圧)の低下によるP側MOSFETの損失増加につながりますので、コンデンサの容量など回路定数の設定時には十分な検討、評価が必要です。ブートストラップ回路による駆動についての詳細は、アプリケーションノートの『DIIPMブートストラップ回路設計の手引き』を参照ください。

以下に、MOSFET 超小型DIIPMシリーズの搭載のBSDの特性及び、P側MOSFET駆動部時の消費電流特性を示します。

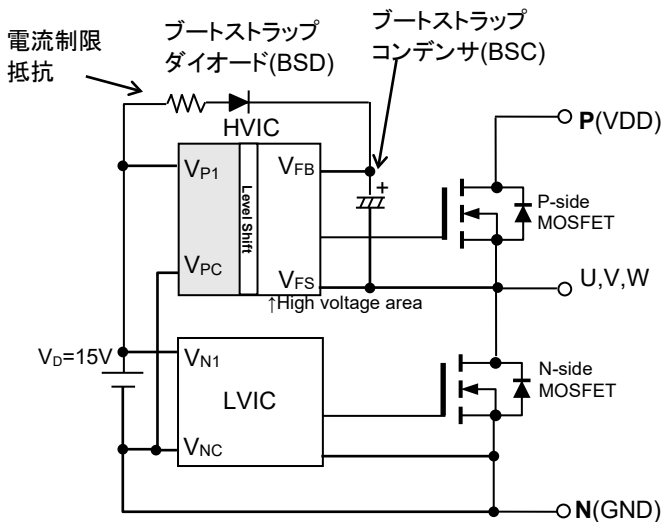
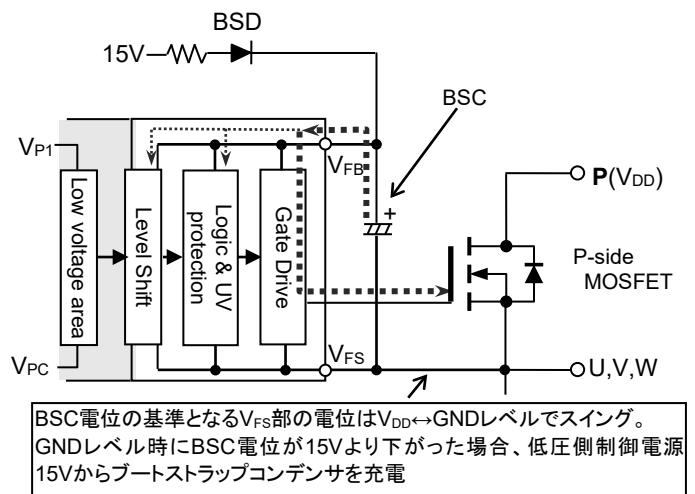


図4-1-1 ブートストラップ回路



BSC電位の基準となるVFS部の電位はV_{DD}↔GNDレベルでスイング。GNDレベル時にBSC電位が15Vより下がった場合、低圧側制御電源15Vからブートストラップコンデンサを充電

図4-1-2 ブートストラップ回路

4. 2 ブートストラップ電源回路電流

本製品の定常状態におけるブートストラップ電源の回路電流は、最大0.1mAです。しかし、PWM制御時などスイッチング時には、MOSFET駆動のためゲートの充放電が繰り返されるため、回路電流はキャリア周波数に比例して増加し、0.1mAを超えます。図4-2-1,2にPSM05S93E5, PSM03S93E5の I_{DB} が大きくなる高温時の回路電流 I_{DB} -キャリア周波数特性を示します。

条件: $V_D=V_{DB}=15V$, $T_{ch}=125^\circ C$, MOSFET ON Duty=10, 30, 50, 70, 90%, (代表例)

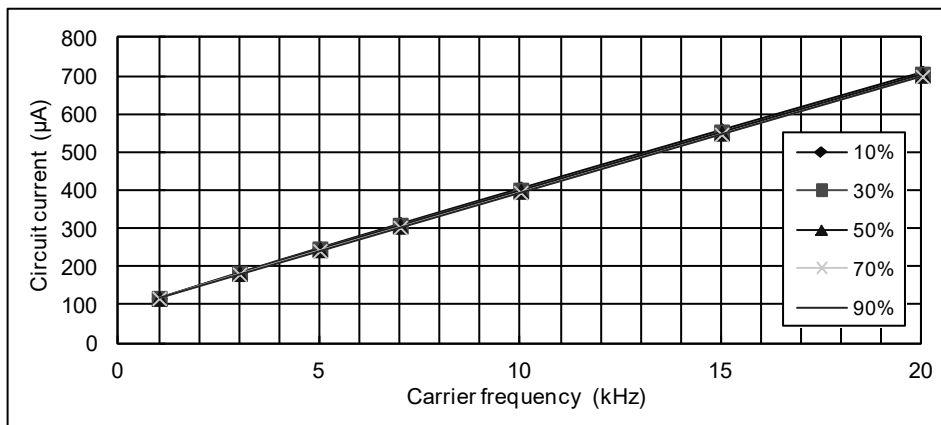


図4-2-1 I_{DB} vs. キャリア周波数特性 (PSM05S93E5 (5A))

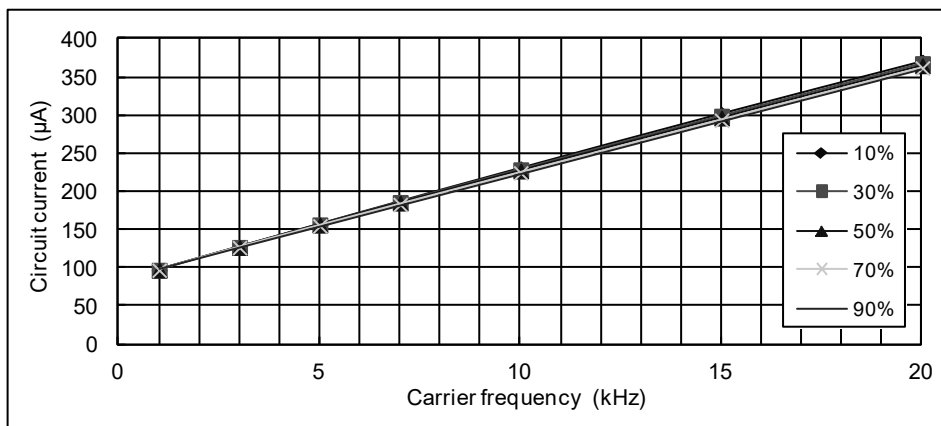


図4-2-2 I_{DB} vs. キャリア周波数特性 (PSM03S93E5 (3A))

4. 3 ブートストラップ回路定数設定時の注意点

ブートストラップ回路の各定数の検討時には、各素子の温度特性、寿命による変化、ばらつきなどを考慮した上で設計願います。ブートストラップ回路の動作については、アプリケーションノートの『DIIPMブートストラップ回路設計の手引き』も参照ください。各素子の選定において注意いただきたい点について以下に挙げます。

(1)ブートストラップコンデンサ

BSCには、電解コンデンサが一般的に使用されていますが、近年、大容量のセラミックコンデンサも使用されつつあります。しかし、電解コンデンサとは異なり、セラミックコンデンサは、DCバイアス特性(DC電圧印加時の容量特性)により容量が大きく低下するものがありますので注意が必要です。表4-3-1に電解コンデンサとセラミックコンデンサの一般的な特性例を示します。

表4-3-1 コンデンサ静電容量の各特性例

	電解コンデンサ	大容量セラミックコンデンサ
温度特性 (Ta:-20~85°C)	アルミ電解コンデンサ: 低温:-10% 高温:+10%程度 導電性高分子アルミ固体タイプ: 低温:-5% 高温:+10%程度	B,X5R,X7Rなど温度特性ランクにより異なる。 低温:-5%~0%程度 高温:-5%~-10%程度
DCバイアス特性 (DC15V印加時)	定格電圧内であればほぼ変化無し	サイズ、温度特性、定格電圧により異なる。 -70%~-15%程度低下

電解コンデンサについては、DCバイアス特性は問題ありませんが、繰り返し充放電によるリップル耐量、寿命(周囲温度による影響大)などに注意が必要です。上記、特性はWEBに掲載のコンデンサの特性の参考例です。コンデンサの詳細特性につきましては、各コンデンサメーカーにご確認ください。

(2)ブートストラップダイオード

MOSFET 超小型DIIPMシリーズは、P側MOSFET駆動電源用のブートストラップダイオード(以下BSD)を搭載しています。BSDには、typ100Ωの電流制限抵抗も搭載しています。BSDの V_F 特性(電流制限抵抗による電圧降下分を含む)を図4-3-1及び表4-3-2に示します。

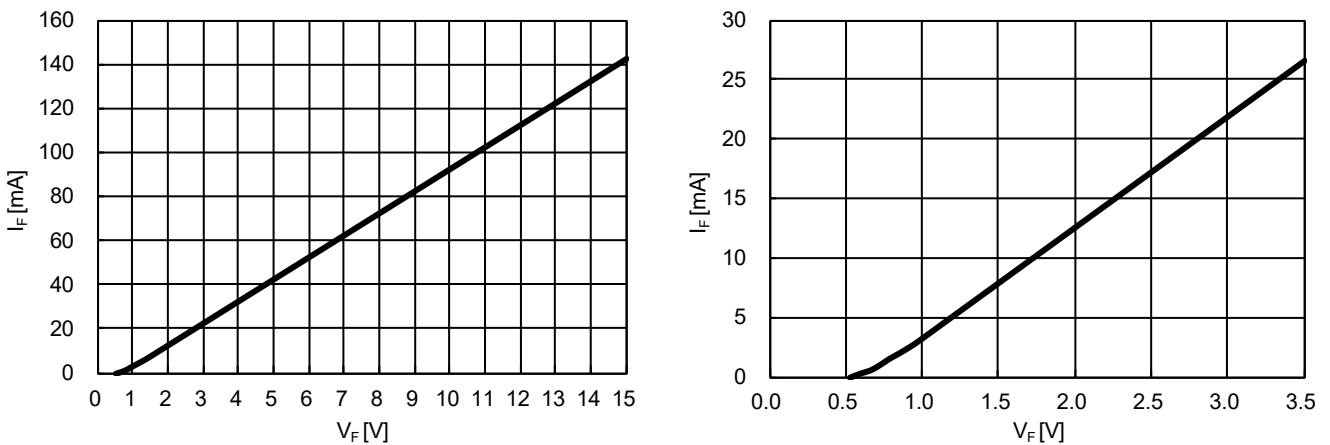


図4-3-1 ブートストラップダイオード V_F - I_F カーブ(代表例、右図は拡大図)

表4-3-2 ブートストラップダイオード電気的特性

項目	記号	条件	Min.	Typ.	Max.	Unit
ブートストラップDi順電圧降下	V_F	$I_F=10mA$, 制限抵抗の電圧降下含む	1.1	1.7	2.3	V
ブートストラップDi内蔵制限抵抗	R	ブートストラップDiに内蔵	80	100	120	Ω

4. 4 ブートストラップ回路使用時の初期充電について

ブートストラップ回路を用いる場合、初期始動前、あるいは、IPMの一定時間休止後(1秒程度でも)にはICの定常消費電流 I_{DB} によりBSCの電圧がUV保護レベルより下がっている可能性があるため、始動前にBSCをあらかじめ初期充電する必要があります。

BSCの充電は、通常N側MOSFET全相をオンさせて行います。モータなどの負荷がつながっている場合は、1相をオンさせるだけでもモータ内配線を通して、他相の出力端子電位も低下し充電できる場合があります。ただし、モータ内の配線抵抗などにより、コンデンサの充電効率は低下する可能性があります。

充電は、ワンパルスで行う方法と、15V制御電源の供給能力などの制限がある場合に複数回のオンパルスにて行う方法もあります。

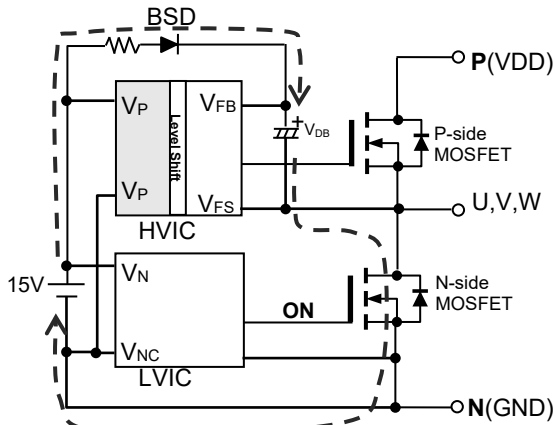


図4-4-1 初期充電経路

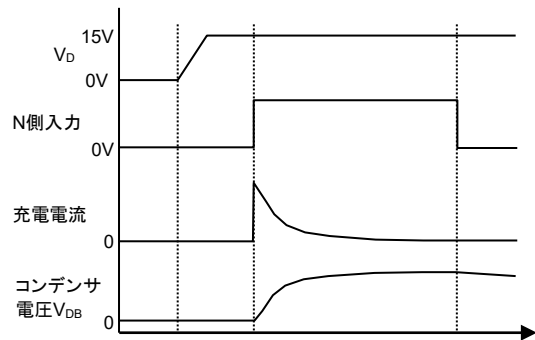


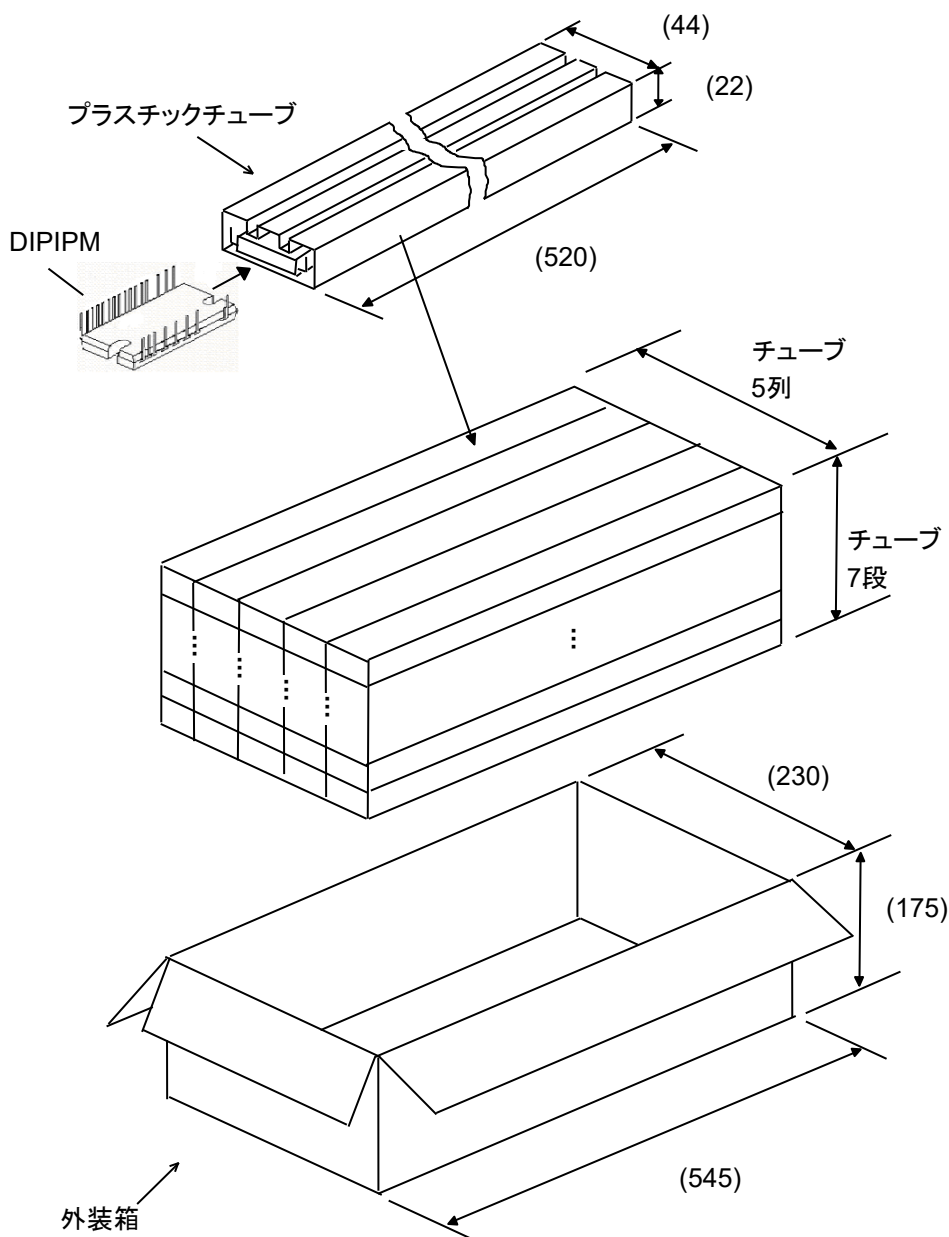
図4-4-2 ワンパルスでの充電波形例

初期充電は、少なくとも V_{DB} の推奨電源電圧範囲である13V以上になるまで実施してください。(充電後、インバータ動作開始までの時間の低下分を考慮して、13Vより高めに充電することを推奨します。)

BSCが十分に充電された後、インバータ(PWM入力)スタート前にP側保護状態のリセット用オンパルスを1パルス入力することを推奨いたします。入力するパルス幅は、各製品に規定の最小許容入力オンパルス幅(MOSFET 超小型DIIPMであれば 0.7 μ s)で問題ありません。

第5章 その他

5.1 梱包仕様



1チューブ当たり
DIIPM 12台/1チューブ

1外装箱あたり(最大)

5列×7段=35本 (チューブ)
35×12=420台 (DIIPM)

注)端数梱包時には、最上段のみ
空チューブか、段ボールスペーサ
を使用します。

質量

約8.5g /DIIPM

約200g /1チューブ


約8.3 kg /1外装箱

チューブ、梱包の質量はいずれも最大
数量梱包した際の値

箱の底及び最上段のチューブの上には、板状のスペーサが入ります。また、上部に空間がある場合、エアキャップが入ります。

図5-1-1 梱包仕様

5. 2 取り扱いの注意

 注 意	
運送・運搬方法	<ul style="list-style-type: none">・運送中は梱包箱を正しい向きに置いてください。逆さにしたり、立てかけたり不自然な力を加えると、電極端子が変形したり樹脂ケースが壊れる原因になります。・投げたり、落したりすると素子が壊れる原因になります。・水に濡れると使用時の故障原因になります。降雨、降雪時の運搬には濡らさないように注意してください。
保管方法	<ul style="list-style-type: none">・本製品を保管する場所の温度及び湿度は、5～35℃、45～75%の常温常湿範囲内が望ましく、この温度、湿度から極度にかけて離れた環境では素子の性能や信頼性を低下させることがあります。
長期保存	<ul style="list-style-type: none">・本製品を長期(1年以上)に保管する場合は、除湿対策をしてください。なお、長期保管後、ご使用の際は、外観に傷、汚れ、錆等がないことを確認してください。
使用環境	<ul style="list-style-type: none">・水や有機溶剤が直接付着する場所、腐蝕性ガスを発生する場所、また、爆発性ガス、粉塵、塩分などのあるところでの使用は重大な事故につながる可能性がありますので避けてください。
難燃性について	<ul style="list-style-type: none">・エポキシ充填樹脂及びケース材料には、UL規格の94-V0認定品を使用していますが、不燃性ではありません。
静電気対策	<ul style="list-style-type: none">・DIPIPMはMOSゲート構造を有する専用ICを使用しています。静電気による破壊を防止するために下記事項を守ってください。 <p>(1)静電気破壊に対する注意事項</p> <ul style="list-style-type: none">・人体や梱包材料などに帯電した静電気が端子に印加されると、素子が破壊することがあります。静電気対策の基本は、静電気の発生をできるだけ抑えることと帯電した電荷をすばやく逃がすことが大切です。・運搬、保存に静電気を帯びやすい容器は使用しないでください。・DIPIPMは、使用する直前までチューブから出さないでください。また素手で端子を絶対に触らないようにしてください。・組立時、使用機器や人体を接地して作業を行ってください。 <p>また、作業台表面及び作業台周囲の床は導電性マットを敷き、接地することを推奨します。</p> <ul style="list-style-type: none">・素子を実装したプリント基板上で各制御端子がオープンになっていると、プリント基板に帯電した静電気により破壊することがありますのでご注意ください。・半田ゴテを使用する場合は、コテ先をアースしてください。 <p>(2)各制御端子間開放時の注意事項</p> <ul style="list-style-type: none">・各制御端子がオープン状態で、ドレイン・ソース間に電圧を印加しないでください。・素子を取外す場合、各制御端子間を短絡してから取り外してください。

特記事項

本資料に記載されている情報は、いかなる場合でも、条件、特性及び品質を保証するものではありません。弊社半導体製品は必ず本資料に記載された最大定格の範囲内でご使用いただき、また、適用される法令による要求、規範及び基準をお客様が遵守することを前提としております。

なお、弊社の権限を有する者が署名した書面による明示の承諾がある場合を除き、人身事故を招くおそれのある用途に弊社半導体製品を使用することはできません。

パワー半導体製品は、長期の信頼性（パワーサイクルやサーマルサイクル等）について寿命を有していることや、特殊環境下（結露、高湿度、高粉塵、高塩分、高地、有機物・腐食性ガス・爆発性ガスが多い環境、端子部等への過度な応力等）での使用により、故障が発生したり、誤動作したりする場合がありますので、十分ご注意ください。また、技術的要件によっては弊社半導体製品に環境規制物質等が含まれる可能性があります。詳細確認を要する場合には、最寄りの弊社営業所、あるいは代理店までお問い合わせください。

本資料の内容・データは、専門技術・教育を受けられた技術者を対象としています。弊社半導体製品のお客様用途への適合性及び適合性に関する弊社製品データの完全性については、お客様の技術部門の責任にて評価・判断してください。なお、貴社製品への適用検討にあたって、弊社半導体製品単体で評価するだけでなく、システム全体で十分に評価し、適用可否をご判断ください。必要に応じ、電源と半導体製品の間に適切な容量のヒューズまたはブレーカーを取り付けて二次破壊を防ぐなど、安全設計に十分ご注意ください。関連するアプリケーションノート・技術資料も合わせてご参照ください。

安全設計に関するお願い

弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- 本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機または、第三者に帰属する知的財産権その他の権利の実施、使用を許諾するものではありません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入にあたりましては、事前に三菱電機または代理店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ (www.MitsubishiElectric.co.jp/semiconductors/) などを通じて公開される情報に常にご注意ください。
- 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。
- 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。
- 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または代理店へご照会ください。
- 半導体・デバイスサイトに含まれる製品や技術をお客様が他の国へ提供する場合は、日本およびその他の国の輸出管理規制等を遵守する必要があります。また、日本、その他の仕向け地における輸出管理規則に抵触する迂回行為や再輸出は禁止します。
- 本資料の一部または全部の転載、複製については、文書による三菱電機の事前の承諾が必要です。
- 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または代理店までご照会ください。